**Opis zadatka**

Pomoću **EUSART** modula ostvariti 8 – bitnu asinhronu serijsku komunikaciju sa virtuelnim terminalom. Pretpostaviti da je frekvencija oscilatora FOSC = 20 MHz a zahtijevana brzina serijske komunikacije 9600 bauda (BRGH=0). Koristiti interapt metod za opsluživanje **EUSART** modula.

|  |
| --- |
| Lista povezivanja |
| Port mikrokontrolera | Vanjske komponente |
| RC6 | TX\_pin |
| RC7 | RX\_pin |

**Analiza rješenja zadatka**

**Konfiguracija EUSART asinhronog predajnika**

Blok dijagram **EUSART** asinhronog predajnika prikazan je na slici.



**EUSART** asinhroni predajnik konfiguriše se preko **TXSTA** registra, čiji je izgled prikazan na slici.



Bitovi **TXSTA** registra za konfiguraciju **EUSART** asinhronog predajnika u ovom zadatku imaju sljedeća značenja:

* **CSRS – Source Select bit**

Asinhroni mod

Nema nikakav uticaj na rad EUSART modula

Sinhroni mod

1 – Master mod (takt se generiše interno iz *Baud Rate Generator* - BRG)

0 – Slave mod. Koristi se vanjski izvor takta

* **TX9 – 9-bit Transmit Enable bit**

1 – EUSART modul šalje 9-bitne podatake

0 – EUSART modul šalje 8-bitne podatake

* **TXEN – Transmit Enable bit**

1 – Dozvoljeno slanje podataka

0 – Zabranjeno slanje podataka

* **SYNC – EUSART Mode Select bit**

1 – EUSART radi u sinhronom režimu prenosa podataka

0 – EUSART radi u asinhronom režimu prenosa podataka

* **SENDB – Send Break Character bit**

Asinhroni mod

1 – Omogućeno je slanje *Break* karaktera

0 – Zabranjeno je slanje *Break* karaktera

Sinhroni mod

Nema nikakvog uticaja na rad EUSART modu

* **BRGH – High Baud Rate Select bit**

Asinhroni mod

1 – EUSART radi sa velikim brzinama prenosa

0 – EUSART radi sa malim brzinama prenosa

Sinhroni mod

Nema nikakvog uticaja na rad EUSART modula

* **TRMT – Transmit Shift Register Status bit**

1 – TSR registar je prazan

0 – TSR registar nije prazan

* **TX9D – Ninth bit of Transmit Data**

Deveti bit podataka, koji može da se iskoristi kao bit adrese ili kao bit parnosti

Da bi **EUSART** asinhroni predajnik bio konfigurisan po uslovima zadatka izgled **TXSTA** registara je kao na slici.



TXSTA = 20h;

**Konfiguracija EUSART asinhronog prijemnika**

Blok dijagram **EUSART** asinhronog prijemnika prikazan je na slici.



**EUSART** asinhroni prijemnik konfiguriše se preko **RCSTA** registra, čiji je izgled prikazan na slici.



Bitovi **RCSTA** registra za konfiguraciju **EUSART** asinhronog predajnika u ovom zadatku imaju sljedeća značenja:

* **SPEN – Serial Port Enable bit**

1 – Omogućen rad serijskog porta. Pinovi RX/DT i TX/CK se automatski konfigurišu kao ulazni i izlazne

0 – Onemogućen rad serijskog porta

* **RX9 – 9-bit Receive Enable bit**

1 – EUSART modul prima 9-bitne podatake

0 – EUSART modul prima 8-bitne podatake

* **SREN – Single Receive Enable bit**

Asinhroni mod

Nema nikakvog uticaja na rad EUSART modula

Sinhroni mod (master)

1 – Omogućen je jednostruki prijem

0 – Zabranjen je jednostruki prijem

Sinhroni mod (slave)

Nema nikakvog uticaja na rad EUSART modula

* **CREN – Continuous Receive Enable bit**

Asinhroni mod

1 – Omogućava rad prijemnika

0 – Zabranjuje rad prijemnika

Sinhroni mod

1 – Omogućava kontinualni prijem sve dok se ne resetuje bit CREN

0 – Zabranjuje kontinualni prijem

* **ADDEN – Address Detect Enable bit**

Asinhroni mod 9-bit (RX9=1)

1 – Omogućena je detekcija adrese prilikom prijema 9-bitnog podatka

0 – Ne obavlja se detekcija adrese. Deveti bit može biti bit pariteta

Asinhroni mod 8-bit (RX9=0)

Nema nikakvog uticaja na rad EUSART modula

* **FERR – Framing Error bit**

1 – U toku prijema detektovana je greška *Framing Error*

0 – Prijem podataka je protekao bez ovakve greške

* **OERR – Overrun Error bit**

1 – U toku prijema detektovana je greška *Overrun Error*

0 – Prijem podataka je protekao bez ovakve greške

* **RX9D – Ninth bit of Received Data**

Deveti (dodatni) bit u 9-bitnom podatku, koji može da se iskoristi kao bit adrese ili kao bit parnosti

Da bi **EUSART** asinhroni prijemnik bio konfigurisan po uslovima zadatka izgled **RCSTA** registara je kao na slici.



RCSTA = 0x90; // TMR1 u tajmer modu sa djeliteljem 1:8 od Fosc/4

**Podešavanje BRG (Baud rate generator)**

Željena brzina asinhrone komunikacije između EUSART modula i terminala podešava se preko internog generatora BRG, čija je blok šema prikazana na slici.



 BRG je 8-bitni ili 16-bit tajmer koji se sastoji od dva registra **SPBRGH** i **SPBRG** koji su prikazani na slici.



Setovanjem bita **BRG16** bita u **BAUDCTL** registru određuje se da li će BRG raditi kao 8-bitni ili 16-bitni tajmer. Željena bodovska brzina prenosa određena je taktnom frekvencijom oscilatora ***FOSC,*** sadržajem registara **SPBRGH** i **SPBRG** i bitova **SYNC**, **BRGH** u **TXSTA** registru i **BRG16** u **BAUDCTL** registru i što je dato u sljedećoj tabeli:



gdje je *n* sadržaj registara **SPBRGH** i **SPBRG.**

Generator bodovske brzine prenosa **BRG** konfiguriše se preko **BAUDCTL** registra, čiji je izgled prikazan na slici.



Bitovi **BAUDCTL** registra za konfiguraciju generatora bodovske brzine BRG u ovom zadatku imaju sljedeća značenja:

* **ABDOVF: Auto-Baud Detect Overflow bit**

 Asinhroni mod:

 1 - Došlo je do prekoračenja u tajmeru modula za automatsku detekciju brzine

 0 - Nije došlo je do prekoračenja u tajmeru modula za automatsku detekciju brzine

 Sinhroni mod:

 Nema nikakvog uticaja na rad generatora bodovske brzine

* **RCIDL: Receive Idle Flag bit**

Asinhroni mod:

 1 - Prijemnik je u stanju čekanja

 0 - Primljen je START bit i prijem je u toku

 Sinhroni mod:

 Nema nikakvog uticaja na rad generatora bodovske brzine

* **SCKP: Synchronous Clock Polarity Select bit**

Asinhroni mod:

 1 - Na pinu RC6/TX/CK se vrši slanje invertovanog podatka

 0 - Na pinu RC6/TX/CK se ne vrši slanje invertovanog podatka

 Sinhroni mod:

 1 - Sinhronizacija se vrši rastućom ivicom taktnog impulsa

 0 - Sinhronizacija se vrši opadajućom ivicom taktnog impulsa

* **BRG16: 16-bit Baud Rate Generator bit**

 1 - Brzinu serijske komunikacije određuje 16 - bitna vrijednost

 0 - Brzinu serijske komunikacije određuje 8 - bitna vrijednost

* **WUE: Wake-up Enable bit**

Asinhroni mod:

 1 - Prijemnik čeka da se na pinu RC7/RX/DT pojavi opadajuća ivica impulsa da bi mikrokontroler otpočeo proceduru izlaska iz *sleep* moda

 0 - Prijemnik radi normalno

 Sinhroni mod:

 Nema nikakvog uticaja na rad generatora bodovske brzine

* **ABDEN: Auto-Baud Detect Enable bit**

Asinhroni mod:

 1 - Uspostavlja se režim za automatsku detekciju bodovske brzine kod serijske komunikacije. Nakon određivanja brzine bit se automatski resetuje.

 0 - Onemogućava se mod za detekciju brzine

Da bi generator bodovske brzine bio konfigurisan po uslovima zadatka izgled **BAUDCTL** registara je kao na slici.



RCSTA = 0x00;

**Određivanje sardžaja registara SPBRGH i SPBRG**

Prema uslovu zadatka **EUSART** modul treba da ostvari 8 – bitnu asinhronu serijsku komunikaciju sa virtuelnim terminalom brzinom od 9600 bauda. Pošto se radi o malim brzinama komunikacije uzeto je da je **SYNC = 0, BRGH = 0** i **BRG16 = 0**. Na osnovu priložene tabele slijedi da je potrebna bodovska brzina prenosa data sa:

 (1)

Iz jednačine (1) lako se može dobiti traženi sadržaj registara **SPBRGH** i **SPBRG** kao:

 (2)

Zamjenom brojnih vrijednosti dobija se traženi sadržaj registara:

 (3)

Ako uzmemo samo cjelobrojnu vrijednost **SPBRGH:SPBRG = 31** dobijamo na osnovu (1) da je stvarna bodovska brzina:

i da procentualna greška koja se pravi iznosi:



Dakle, traženi sadržaj registra je:**SPBRG = 31.**

**Podešavanje interapt sistema za EUSART modul**

Da bi se **EUSART** modul kontrolisao u interapt režimu portebno je konfigurisati interapt sistem mikrokontrolera sa tri registra: **INTCON**, **PIE1** i **PIR1**.

Bitovi **INTCON** registra koje se odnose na tajmer **TMR1** su:

* **GIE – Global Interrupt Enable bit**

1 – Omogućava **sve interapte** koji nisu zabranjeni svojim lokalnim kontrolnim IE (Interrupt Enable) bitom

0 – Zabranjuje sve interapte

* **PEIE – Peripheral Interrupt Enable bit**

1 – Omogućava **sve interapte izazvane periferijskim modulima**, a koji koji nisu zabranjeni svojim lokalnim kontrolnim IE bitom

0 – Zabranjuje sve interapte koji su izazvani od strane periferijskih modula

Bitovi **PIE1** registra koje se odnose na **EUSART** modul su:

* **RCIE – EUSART Receive Interrupt Enable bit**

1 – Omogućava se zahtijev za interapt od strane **EUSART** modula, koji se generiše nakon završetka prijema podataka

0 – Zabranjuje sve ovaj intarapt

* **TXIE – EUSART Transmit Interrupt Enable bit**

1 – Omogućava se zahtijev za interapt od strane **EUSART** modula, koji se generiše nakon završetka slanja podataka

0 – Zabranjuje sve ovaj intarapt

Bitovi **PIR1** registra koje se odnose na **EUSART** modul su:

* **RCIF – EUSART Receive Interrupt Flag bit**

1 – Prijemni bafer u modulu za serijsku komunikaciju (**EUSART**) je popunjen

0 – Prijemni bafer nije popunjen

* **TXIF – EUSART Transmit Interrupt Flag bit**

1 – Bafer za slanje podataka u modulu za serijsku komunikaciju (**EUSART**) je prazan

0 – Bafer za slanje podataka nije prazan

Da bi se omogućio interapt od strane **EUSART** modula prema uslovima zadatka izgled **INTCON**, **PIE1** i **PIR1** registara je kao na slici.

INTCON = 0xA0; // Enable TMR0 interrupt

INTCON.GIE = 1; // Omoguciti interapte, bit GIE u INTCON registru

INTCON.PEIE = 1; // Omoguciti interapte periferala, bit PEIE u INTCON registru

PIR1.RCIF = 0; // resetovati interapt fleg RCIF

PIE1.RCIF = 1; // Omoguciti interapt od strane prijemnika EUSART modula

Rješenje zadatka

........