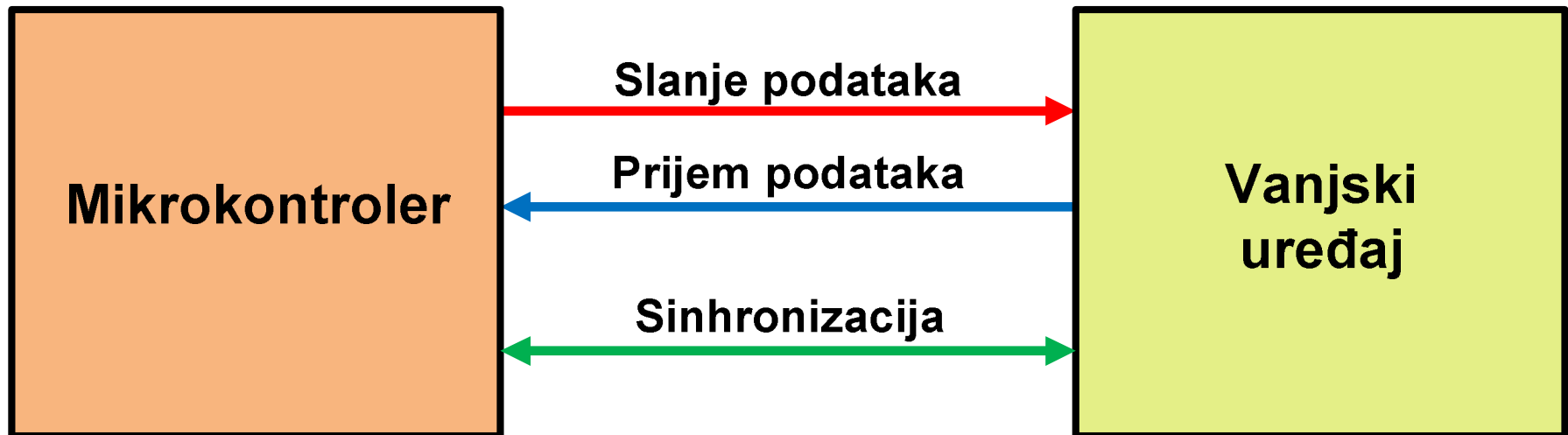


EUSART:16F887

- ***Enhanced Universal Synchronous Asynchronous Receiver Transmitter (EUSART)*** je unaprijeđeni sinhroni/asinhroni modul za serijsku komunikaciju
- Osnovne karakteristike EUSART modula su:
 - Asinhroni prenos podataka u ***full-duplex*** modu
 - Sinhroni (*master/slave*) prenos podataka u ***half-duplex*** modu
 - Dužina podataka može biti 8 ili 9 bitova
 - U 9-bitnom prenosu podataka moguće je i adresiranje
 - Mogućnost detekcije grešaka u primljenom podatku
- Za konfiguraciju modula i prenos podataka koriste se sljedeći registri:
 - **TXSTA** – za konfiguraciju i nadzor modula kod predaje podataka
 - **RCSTA** - za konfiguraciju i nadzor modula kod prijema podataka
 - **BAUDCTL** – konfiguracija i nadzor ***BAUD RATE*** generatora
 - **TXREG** – sadrži podatak koji treba da se pošalje
 - **RCREG** – sadrži primljeni podataka

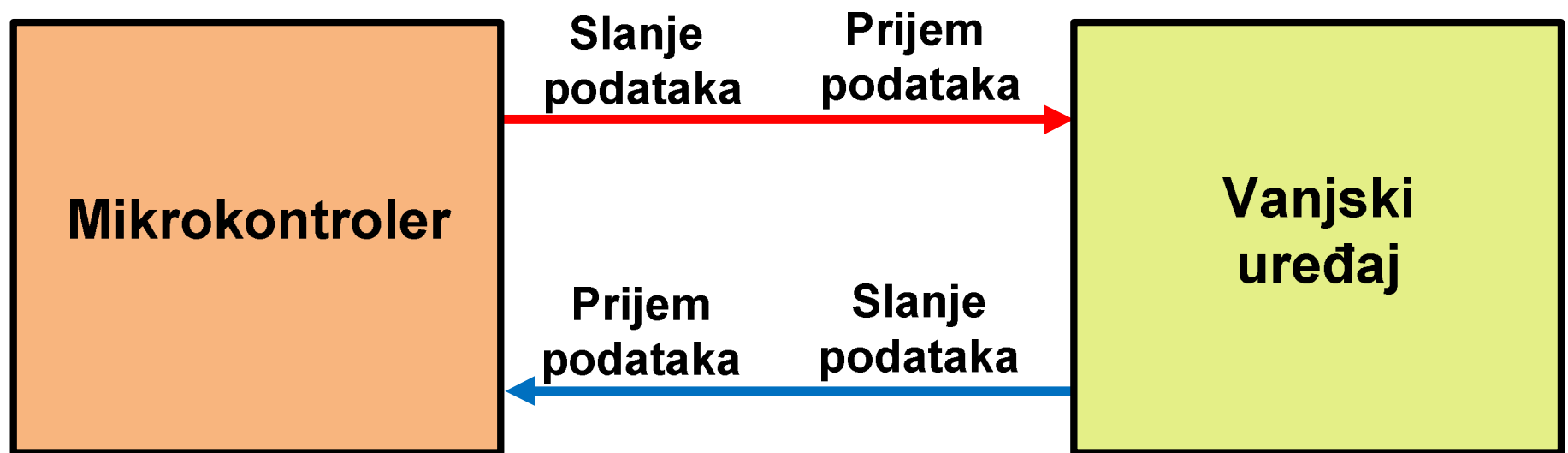
EUSART-16F887: **SINHRONA i ASINHRONA KOMUNIKACIJA**

- Kod **sinhrone serijske komunikacije** pored linija za prijem i slanje podataka postoji i linija za **sinhronizacioni takt**



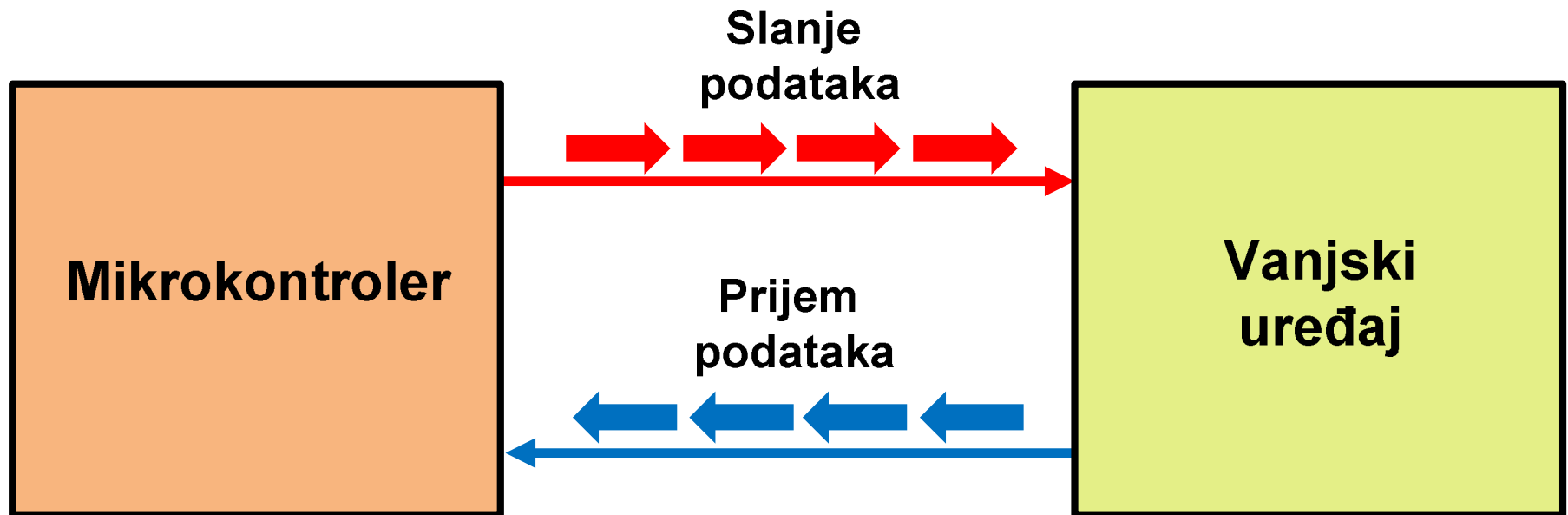
EUSART-16F887: **SINHRONA I ASINHRONA KOMUNIKACIJA**

- Kod **asinhronne serijske komunikacije** postoje samo linije za prijem i slanje podataka



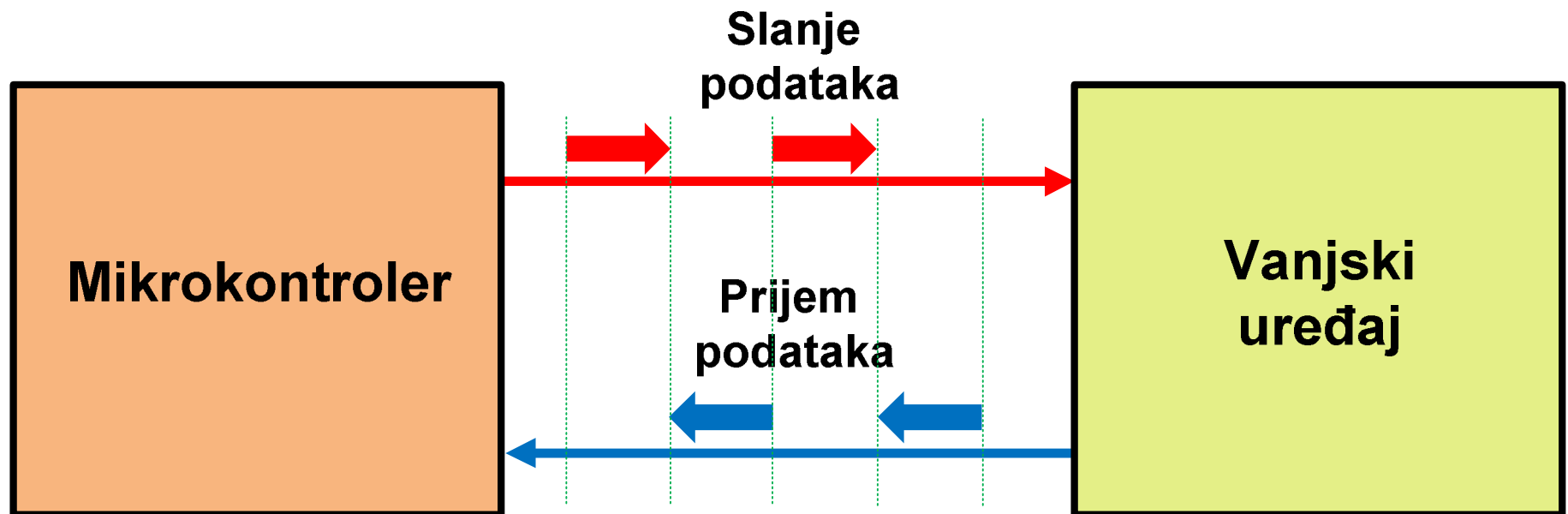
EUSART-16F887: FULL-DUPLEX i HALF-DUPLEX

- ***Full-duplex*** komunikacije podrazumijeva istovremeno slanje i prijem podataka između komunikacionih uređaja



EUSART-16F887: FULL-DUPLEX i HALF-DUPLEX

- **Half-duplex** komunikacije podrazumijeva slanje i prijem podataka između komunikacionih uređaja u djeljenim vremenskim intervalima



EUSART-16F887: I/O pinovi

PIC16F8					
			VDD	☐	11
			VSS	☐	12
			RA7/OSC1/CLKIN	☐	13
			RA6/OSC2/CLKOUT	☐	14
			RC0/T1OSO/T1CKI	☐	15
			RC1/T1OSI/CCP2	☐	16
			RC2/P1A/CCP1	☐	17
			RC3/SCK/SCL	☐	18
			RD0	☐	19
			RD1	☐	20
			30	☐	RD7/P1D
			29	☐	RD6/P1C
			28	☐	RD5/P1B
			27	☐	RD4
			26	☐	RC7/RX/DT
			25	☐	RC6/TX/CK
			24	☐	RC5/SDO
			23	☐	RC4/SDI/SDA
			22	☐	RD3
			21	☐	RD2

USART

RX – Prijem podataka
TX – Slanje Line

EUSART-16F887: TXSTA REGISTER

TXSTA	R/W (0)	R/W (0)	R/W (0)	R/W (0)	R/W (0)	R/W (0)	R (1)	R/W (X)
	CSRS	TX9	TXEN	SYNC	SENDB	BRGH	TRMT	TX9D
	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0

- **CSRS – Source Select bit**

Asinhroni mod

Nema nikakav uticaj na rad EUSART modula

Sinhroni mod

1 – Master mod (takt se generiše interno iz *Baud Rate Generator* - BRG)

0 – Slave mod. Koristi se vanjski izvor takta

- **TX9 – 9-bit Transmit Enable bit**

1 – EUSART modul šalje 9-bitne podatke

0 – EUSART modul šalje 8-bitne podatke

EUSART-16F887: **TXSTA REGISTRAR**

- **TXEN – Transmit Enable bit**

1 – Dozvoljeno slanje podataka

0 – Zabranjeno slanje podataka

- **SYNC – EUSART Mode Select bit**

1 – EUSART radi u sinhronom režimu prenosa podataka

0 – EUSART radi u asinhronom režimu prenosa podataka

- **SENDB – Send Break Character bit**

Asinhroni mod

1 – Omogućeno je slanje *Break* karaktera

0 – Završeno je slanje *Break* karaktera

Sinhroni mod

Nema nikakvog uticaja na rad EUSART modula

EUSART-16F887: **TXSTA REGISTAR**

- **BRGH – High Baud Rate Select bit**

Asinhroni mod

1 – EUSART radi sa velikim brzinama prenosa

0 – EUSART radi sa malim brzinama prenosa

Sinhroni mod

Nema nikakvog uticaja na rad EUSART modula

- **TRMT – Transmit Shift Register Status bit**

1 – TSR registar je prazan

0 – TSR registar nije prazan

- **TX9D – Ninth bit of Transmit Data**

Deveti bit podataka, koji može da se iskoristi kao bit adrese ili kao bit parnosti

EUSART-16F887: **RCSTA REGISTAR**

RCSTA	R/W (0)	R/W (0)	R/W (0)	R/W (0)	R/W (0)	R (0)	R (0)	R(X)
	SPEN	RX9	SREN	CREN	ADDEN	FERR	OERR	RX9D
	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0

- **SPEN – Serial Port Enable bit**

1 – Omogućen rad serijskog porta. Pinovi RX/DT i TX/CK se automatski konfigurišu kao ulazni i izlazne

0 – Onemogućen rad serijskog porta

- **RX9 – 9-bit Receive Enable bit**

1 – EUSART modul prima 9-bitne podatake

0 – EUSART modul prima 8-bitne podatake

EUSART-16F887: **RCSTA REGISTAR**

- **SREN – Single Receive Enable bit**

Asinhroni mod

Nema nikakvog uticaja na rad EUSART modula

Sinhroni mod (master)

1 – Omogućen je jednostruki prijem

0 – Zabranjen je jednostruki prijem

Sinhroni mod (slave)

Nema nikakvog uticaja na rad EUSART modula

EUSART-16F887: **RCSTA REGISTAR**

- **CREN – Continuous Receive Enable bit**

Asinhroni mod

1 – Omogućava rad prijemnika

0 – Zabranjuje rad prijemnika

Sinhroni mod

1 – Omogućava kontinualni prijem sve dok se ne resetuje bit CREN

0 – Zabranjuje kontinualni prijem

- **ADDEN – Address Detect Enable bit**

Asinhroni mod 9-bit (RX9=1)

1 – Omogućena je detekcija adrese prilikom prijema 9-bitnog podatka

0 – Ne obavlja se detekcija adrese. Deveti bit može biti bit pariteta

Asinhroni mod 8-bit (RX9=0)

Nema nikakvog uticaja na rad EUSART modula

EUSART-16F887: **RCSTA REGISTAR**

- **FERR – Framing Error bit**

1 – U toku prijema detektovana je greška *Framing Error*

0 – Prijem podataka je protekao bez ovakve greške

- **OERR – Overrun Error bit**

1 – U toku prijema detektovana je greška *Overrun Error*

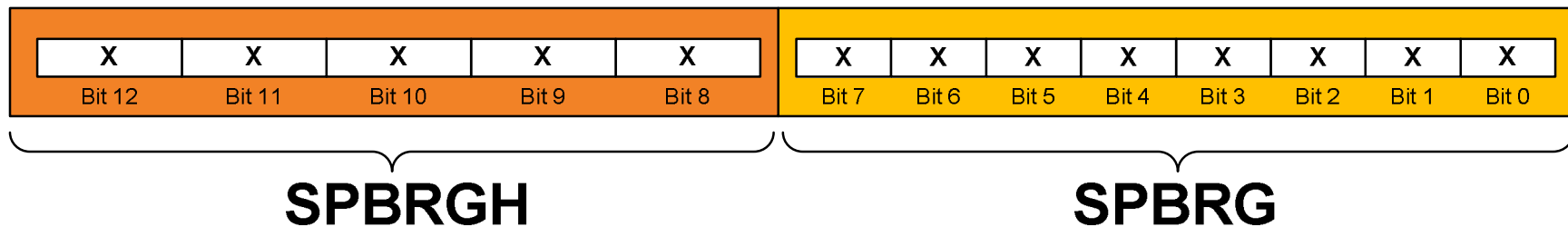
0 – Prijem podataka je protekao bez ovakve greške

- **RX9D – Ninth bit of Received Data**

Deveti (dodatni) bit u 9-bitnom podatku, koji može da se iskoristi kao bit adrese ili kao bit parnosti

EUSART-16F887: BAUD RATE GENERATOR (BRG)

- Brzinu serijske komunikacije određuje BRG kao izvor takta
- BRG radi kao 8-bitni ili 16-bitni djelitelj osnovnog takta F_{osc} i koristi se u asinhronom i sinhronom modu EUSART modula



- Broj koji se upiše u ova dva registra (**n**) određuje brzinu komunikacije
- U asinhronom modu faktor dijeljenja osnovnog takta F_{osc} određeno je stanjem BRGH bita u TXSTA registru i stanjem BRG16 bit u BAUDCTL registru
- U sinhronom modu status BRGH bita se ignoriše

EUSART-16F887: **BAUDCTL** REGISTAR

	R (0)	R (1)		R/W (0)	R/W (0)	R/W (0)	R/W (0)	R/W (0)
BAUDCTL	ABDOVF	RCIDL	-	SCKP	BRG16	-	WUE	ABDEN
	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0

- **ABDOVF – Auto-Baud Detect Overflow bit**

Asinhroni mod

1 – Došlo je do prekoračenja u tajmeru modula automatske detekcije brzine prenosa

0 – U tajmeru nije došlo do prekoračenja

Sinhroni mod

Nema nikakav uticaj na rad EUSART modula

- **RCIDL – Receive Idle Flag bit**

1 – EUSART modul šalje 9-bitne podatake

0 – EUSART modul šalje 8-bitne podatake

EUSART-16F887: **BAUDCTL REGISTRAR**

- **RCIDL – Receive Idle Flag bit**

Asinhroni mod

1 – Prijemnik je u stanju čekanja

0 – Primljen je START bit i prijem je u toku

Sinhroni mod

Nema nikakav uticaj na rad EUSART modula

- **SCKP – Synchronous Clock Polarity Select bit**

Asinhroni mod

1 – Na pinu RC6/TX/CK podatak se šalje invertovan

0 – Na pinu RC6/TX/CK nema invertovanja podatka

Sinhroni mod

1 – Sinhronizacija se obavlja uzlaznom ivicom taktnog signala

0 - Sinhronizacija se obavlja silaznom ivicom taktnog signala

EUSART-16F887: **BAUDCTL REGISTAR**

- **BRG16 – 16-bit Baud Rate Generator bit**

1 – Brzinu serijske komunikacije određuje 16-bitni djelitelj SPBRGH:SPBRG

0 – Brzinu serijske komunikacije određuje 8-bitni djelitelj SPBRG

- **WUE – Wake-up Enable bit**

Asinhroni mod

1 – Prijemnik čeka da se na pinu RC7/RX/DT pojavi opadajuća ivica impulsa da bi mikrokontroler izašao iz *Sleep* moda

0 – Prijemnik radi normalno

Sinhroni mod

Nema nikakav uticaj na rad EUSART modula

EUSART-16F887: **BAUDCTL REGISTAR**

- **ABDEN – Auto-Baud Detect Enable bit**

1 – Uspostavlja se režim rada za detekciju brzine serijske komunikacije.
Nakon određivanja brzine bit se automatski resetuje

Onemogućen je mod za automatsku detekciju brzine komunikacije

EUSART-16F887: **BAUD RATE GENERATOR (BRG)**

- Formula za određivanje brzine serijske komunikacije (Baud Rate)

Bitovi			BRG/EUSART mod	Baud Rate formula
SYNC	BRG16	BRGH		
0	0	0	8 bita/asinhroni	$F_{osc}/[64*(n+1)]$
0	0	1	8 bita/asinhroni	$F_{osc}/[16*(n+1)]$
0	1	0	16 bita/asinhroni	
0	1	1	16 bita/asinhroni	
1	0	X	8 bita/sinhroni	
1	0	X	16 bita/sinhroni	

EUSART-16F887: BAUD RATE GENERATOR (BRG)

- Formule:

$$\text{Potrebna brzina} = \frac{F_{osc}}{64([SPBRGH : SPBRG] + 1)}$$

$$[SPBRGH : SPBRG] = \frac{\frac{F_{osc}}{\text{Potrebna brzina}}}{64} - 1$$

$$\text{greška} [\%] = \frac{\text{Izračunata brzina} - \text{Potrebna brzina}}{\text{Potrebna brzina}}$$

EUSART-16F887: **BAUD RATE GENERATOR (BRG)**

Primjer: Neka je $F_{osc}=16$ MHz. Željena brzina prenosa u asinhronom modu je 57.600 bps. Odrediti faktor dijeljenja i grešku? Neka je **BRGH=0**

$$[SPBRGH : SPBRG] = \frac{16 \cdot 10^6}{57600 \cdot 64} + 1 = 5.34, [SPBRGH : SPBRG] = 5$$

$$Dobijena\ brzina = \frac{16 \cdot 10^6}{64([5]-1)} = 62500 \text{ bps}$$

$$greška [\%] = \frac{62500 - 57600}{57600} = 8.5 \%$$

EUSART-16F887: **BAUD RATE GENERATOR (BRG)**

Primjer: Neka je $F_{osc}=16$ MHz. Željena brzina prenosa u asinhronom modu je 57.600 bps. Odrediti faktor dijeljenja i grešku? Neka je **BRGH=1**

$$[SPBRGH : SPBRG] = \frac{16 \cdot 10^6}{57600} + 1 = 18.36, [SPBRGH : SPBRG] = 18$$

$$Dobijena\ brzina = \frac{16 \cdot 10^6}{16([18]-1)} \approx 58824 \text{ bps}$$

$$greška [\%] = \frac{58824 - 57600}{57600} = 2.125 \%$$

EUSART-16F887: BAUD RATE GENERATOR (BRG)

[illegible][illegible]

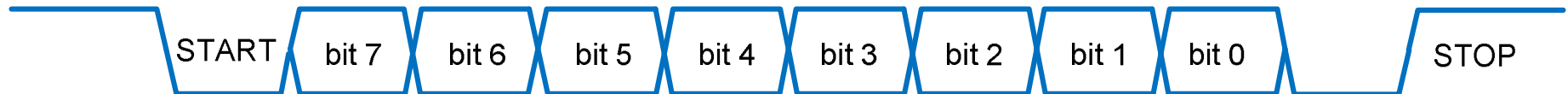
EUSART-16F887: BAUD RATE GENERATOR (BRG)

Baud Rate	SYNC = 0, BRGH = 1, BRG16 = 0											
	Fosc = 20 MHz			Fosc = 18.432 MHz			Fosc = 11.0592 MHz			Fosc = 8 MHz		
	Actual Rate	Error %	SPBRG value (dec.)	Actual Rate	Error %	SPBRG value (dec.)	Actual Rate	Error %	SPBRG value (dec.)	Actual Rate	Error %	SPBRG value (dec.)
300	-	-	-	-	-	-	-	-	-	-	-	-
1200	-	-	-	-	-	-	-	-	-	-	-	-
2400	-	-	-	-	-	-	-	-	-	2404	0.16	207
9600	9615	0.16	129	9600	0.00	119	9600	0.00	71	9615	0.16	51
10417	10417	0.00	119	10378	-0.37	110	10473	0.53	65	10417	0.00	47
19.2k	19.23k	0.16	64	19.2	0.00	59	19.2k	0.00	35	19231	0.16	25
57.6k	56.82k	-1.36	21	57.6k	0.00	19	57.6k	0.00	11	55556	-3.55	8
115.2k	113.64k	-1.36	10	115.2k	0.00	9	115.2k	0.00	5	-	-	-

Baud Rate	SYNC = 0, BRGH = 1, BRG16 = 0											
	Fosc = 4 MHz			Fosc = 3.6864 MHz			Fosc = 2 MHz			Fosc = 1 MHz		
	Actual Rate	Error %	SPBRG value (dec.)	Actual Rate	Error %	SPBRG value (dec.)	Actual Rate	Error %	SPBRG value (dec.)	Actual Rate	Error %	SPBRG value (dec.)
300	-	-	-	-	-	-	-	-	-	300	0.16	207
1200	1202	0.16	207	1200	0.00	191	1202	0.16	103	1202	0.16	51
2400	2404	0.16	103	2400	0.00	95	2404	0.16	51	2404	0.16	25
9600	9615	0.16	25	9600	0.00	23	9615	0.16	12	-	-	-
10417	10417	0.00	23	10473	0.00	11	10417	0.00	11	10417	0.00	5
19.2k	19.23k	0.16	12	19.2	0.00	11	-	-	-	-	-	-
57.6k	-	-	-	57.6k	0.00	3	-	-	-	-	-	-
115.2k	-	-	-	115.2k	0.00	1	-	-	-	-	-	-

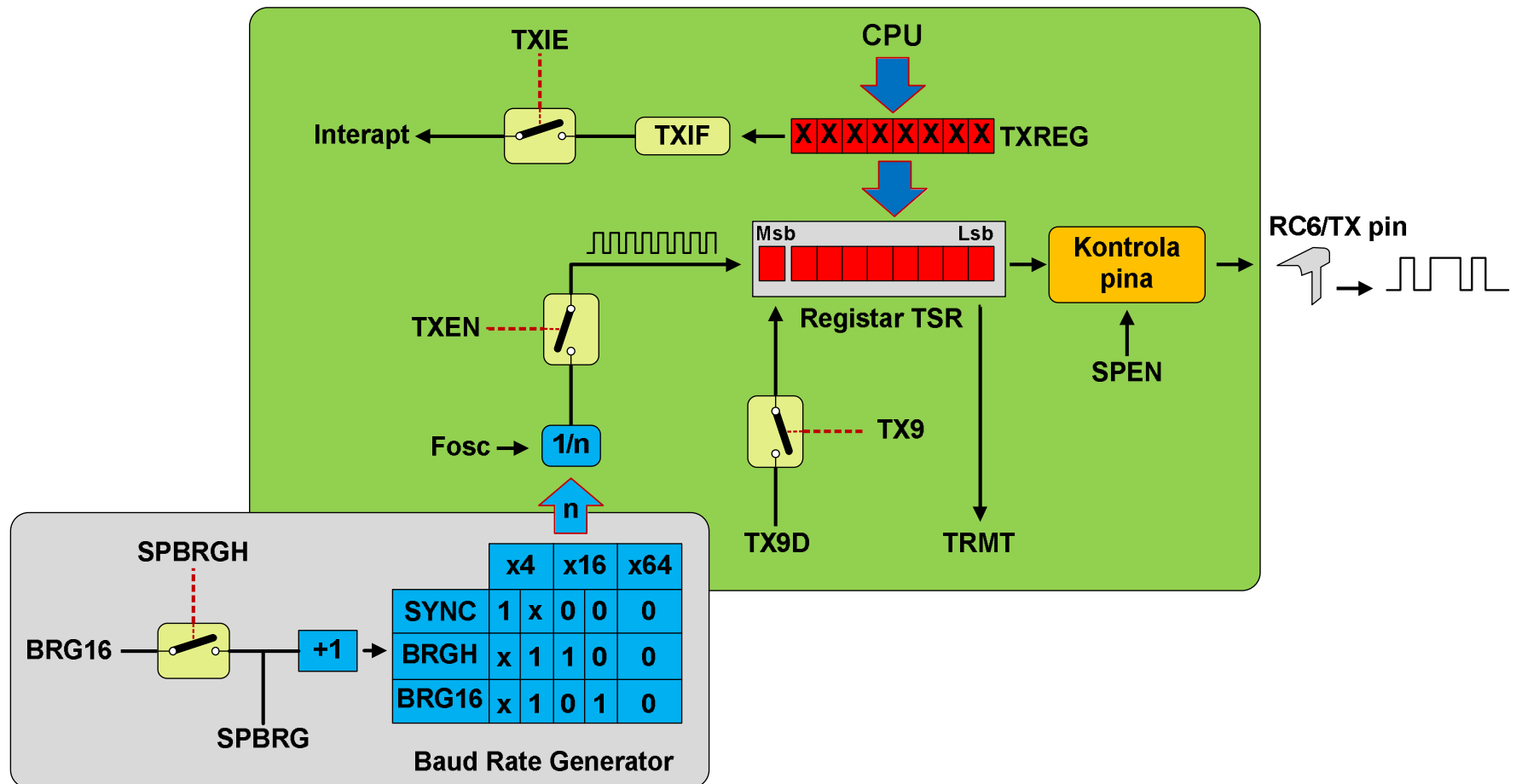
EUSART-16F887: **ASINHRONI MOD**

- EUSART koristi standard **nonreturn-to-zero (NRZ)** binarni kod (jedan start bit, 8 ili 9 bitova informacije i jedan stop bit) za prenos



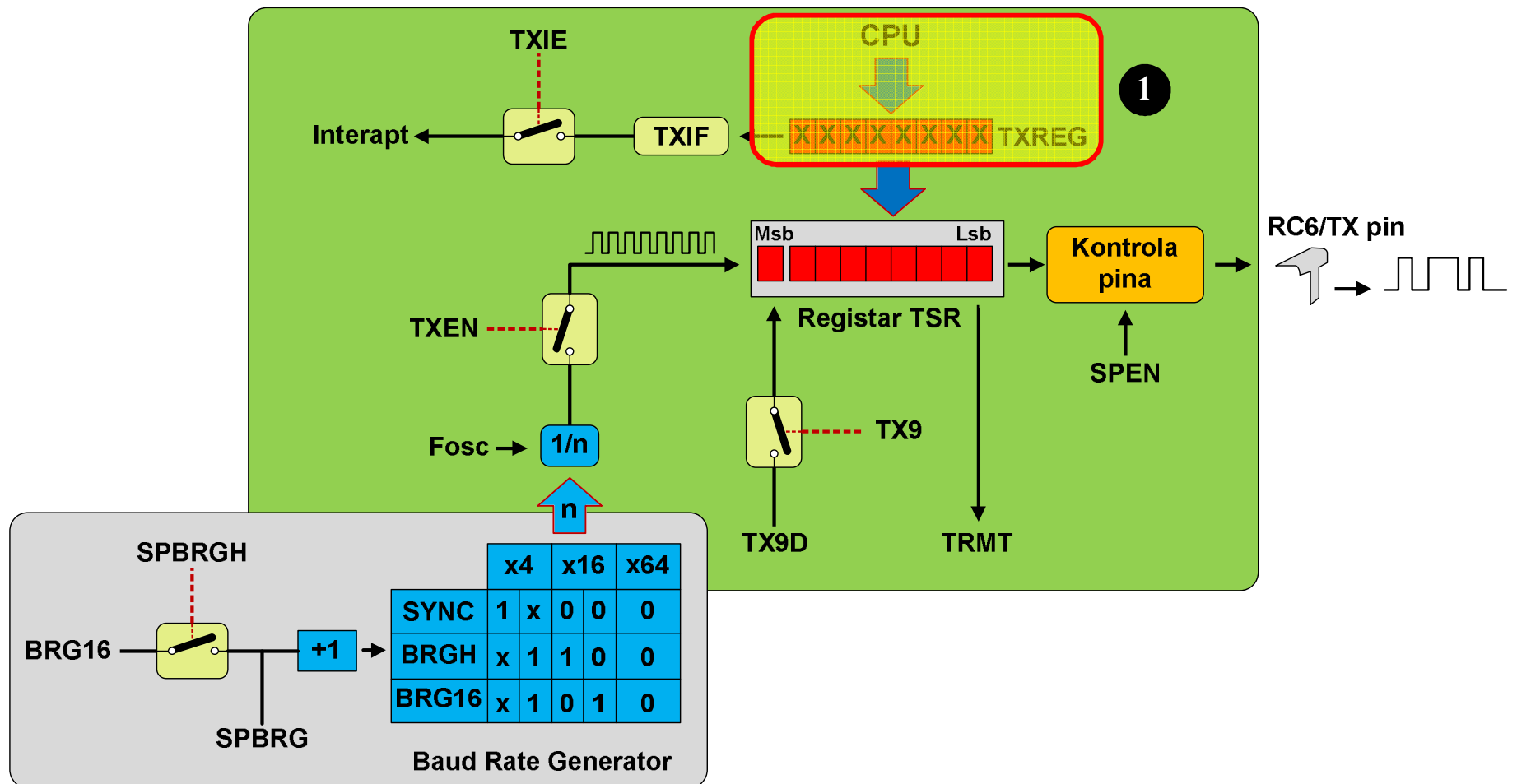
- Ugrađeni 8-bitni BRG koristi se za generisanje standardnih bodovskih brzina prenosa kod ovog tipa komunikacije
- EUSART predajnik (TX) i prijemnik (RC) su funkcionalno nezavisna kola, s tim što koriste isti format podataka i istu bodovsku brzinu prenosa signala
- EUSART asinhroni modul sastoji se od četiri važna elementa:
 - (Baud Rate Generator) BRG
 - Kolo za uzorkovanje
 - Asinhroni predajnik
 - Asinhroni prijemnik

EUSART-16F887: ASINHRONI MOD - PREDAJNIK



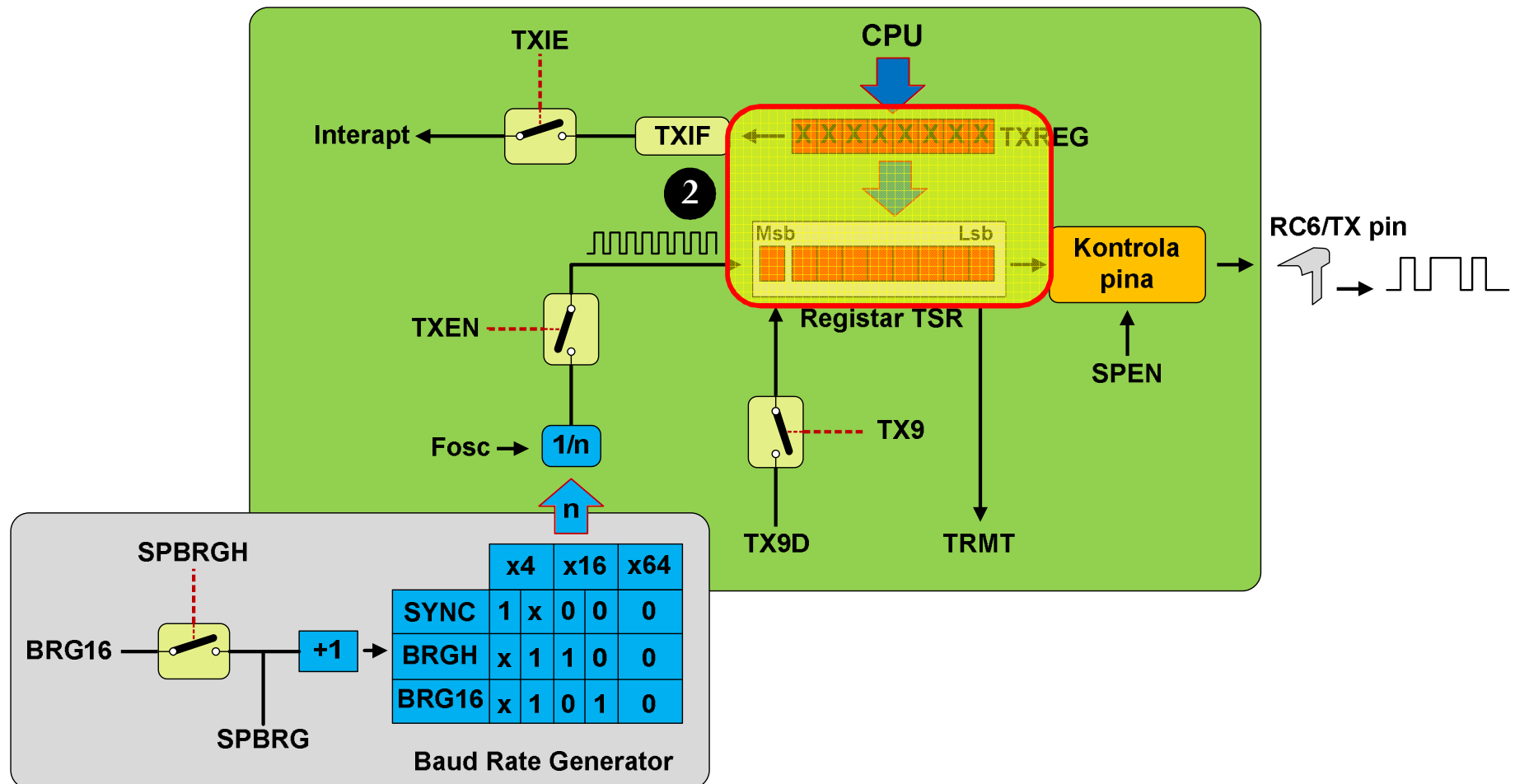
EUSART: ASINHRONI MOD – SLANJE PODATKA

- Slanje podatka započinje automatski njegovim upisom u TXREG (**movwf TXSTA**)



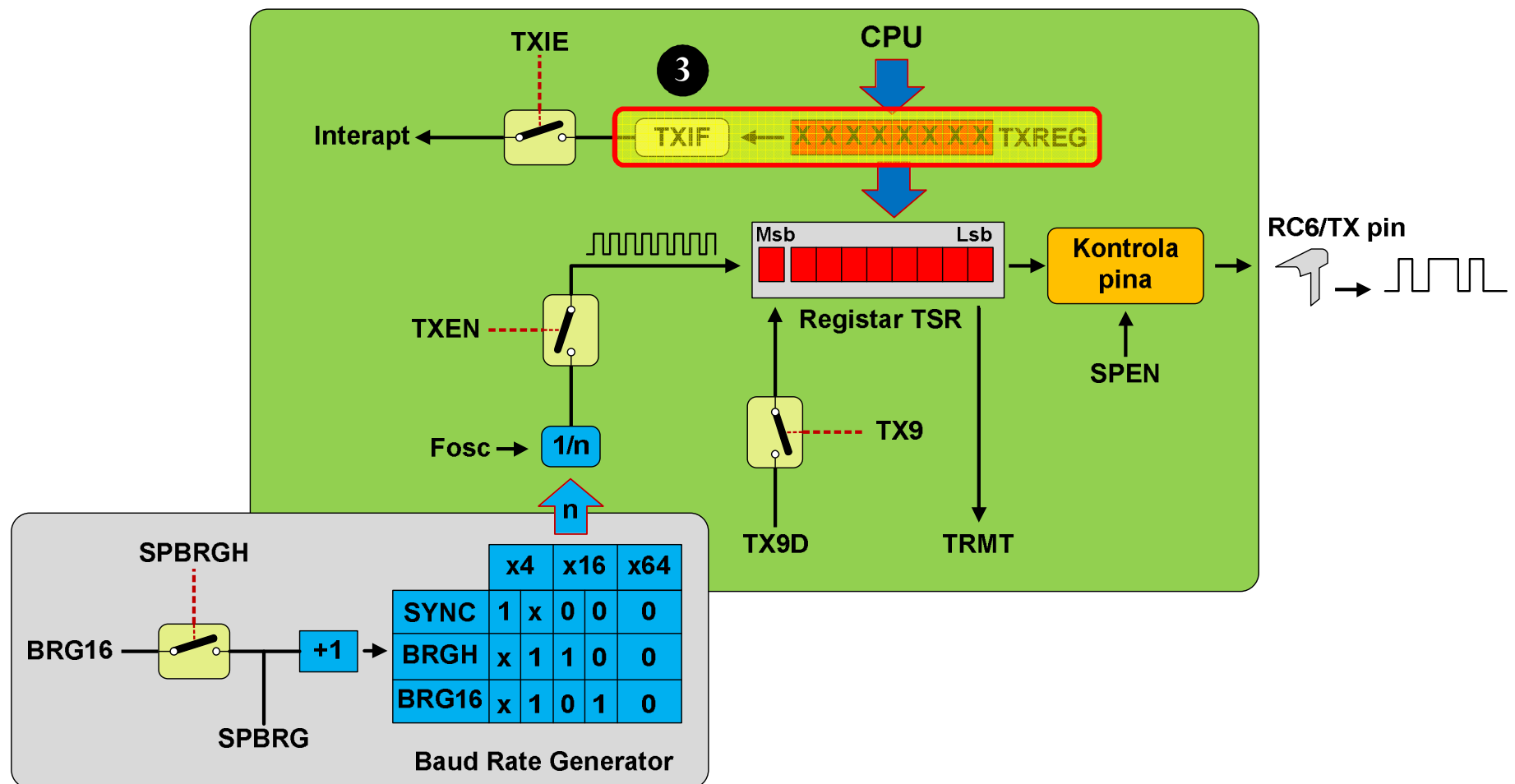
EUSART: ASINHRONI MOD – SLANJE PODATKA

- Podatak se iz **TXREG** premješta u pomjerački **TSR** registar



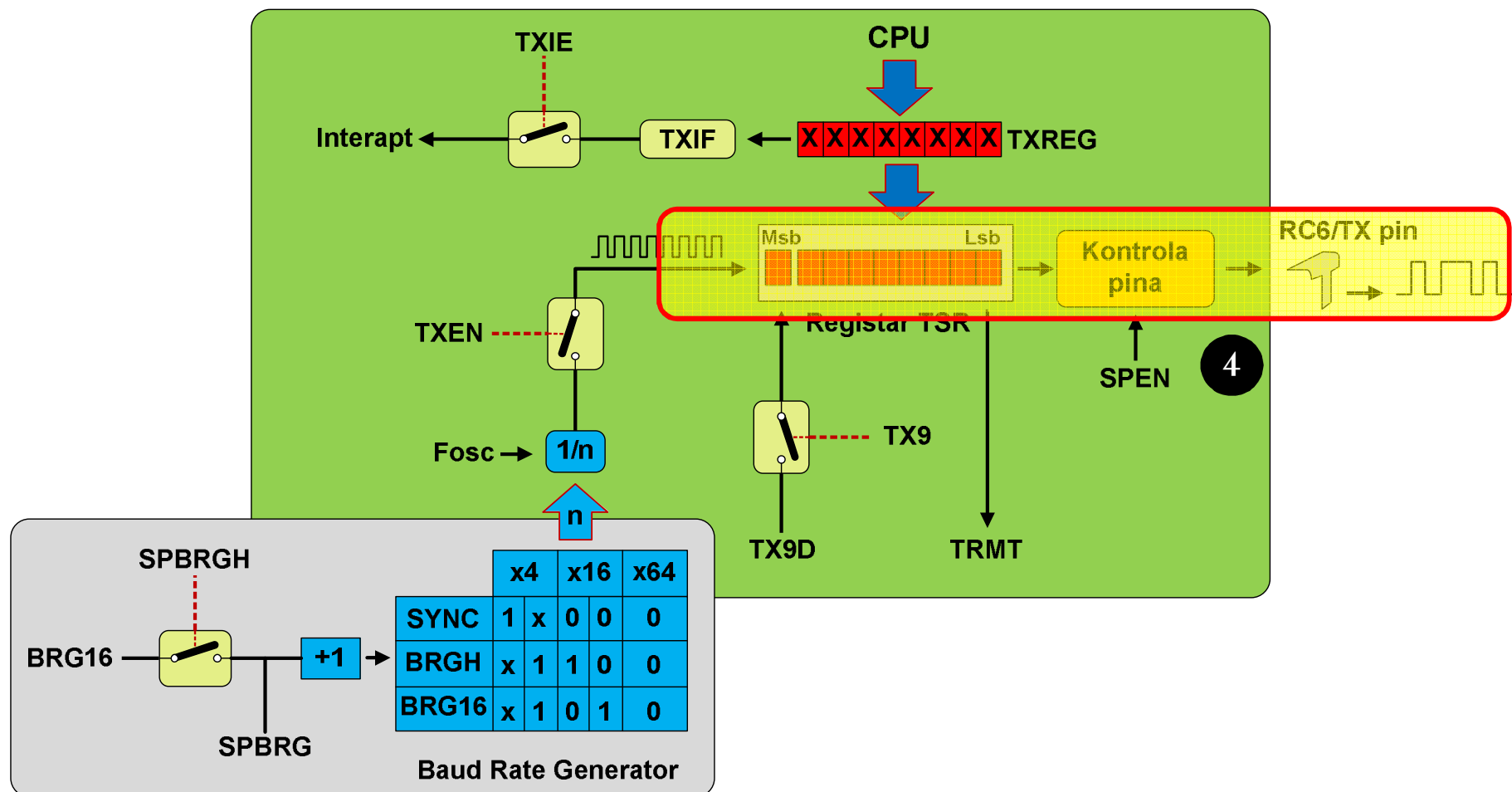
EUSART: ASINHRONI MOD – SLANJE PODATKA

- **TXREG** ostaje prazan pa se setuje interapt fleg **TXIF** koji se koristi kod interapt i pooling tehnike opsluživanja rada EUSART predajnika



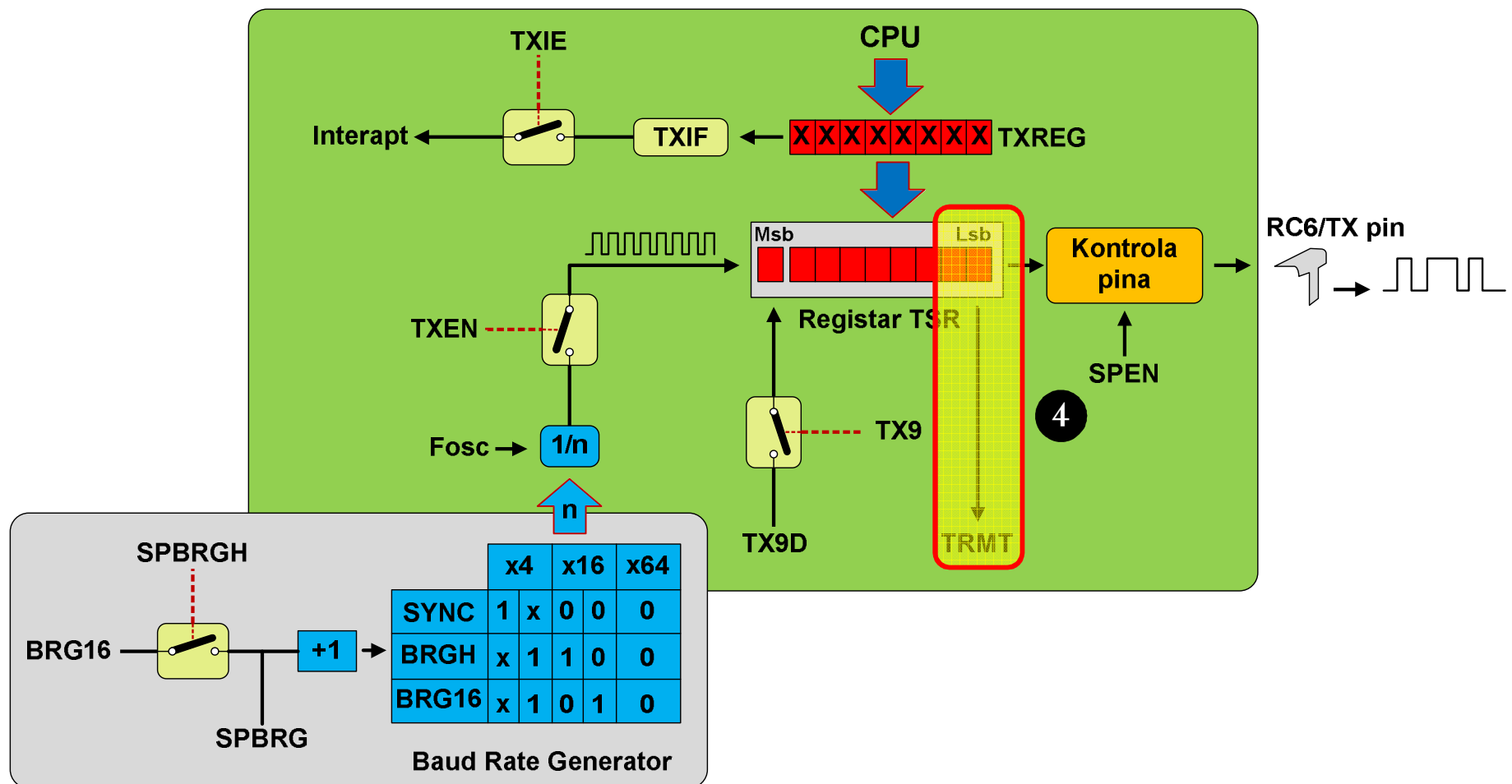
EUSART: ASINHRONI MOD – SLANJE PODATKA

- Podaci se iz **TSR** registra serijski se potiskuju ka izlaznom pinu **TX**



EUSART: ASINHRONI MOD – SLANJE PODATKA

- Kada posljednji bit napusti TSR registar setuje se **TRMT** bit koji se koristi kod polling tehnike za opsluživanja rada EUSART predajnika



EUSART: **ASINHRONI MOD – KONFIGURACIJA PREDAJNIKA**

	R/W (0)	R/W (0)	R/W (0)	R/W (0)	R/W (0)	R/W (0)	R (1)	R/W (X)
TXSTA	X	0/1	1	0	0	0/1	TRMT	0/1
	CSRS	TX9	TXEN	SYNC	SENDB	BRGH	TRMT	TX9D

- **CSRS – Source Select bit**

Asinhroni mod

Nema nikakav uticaj na rad EUSART modula

- **TX9 – 9-bit Transmit Enable bit**

0/1 – EUSART modul šalje 8-bitne ili 9-bitne podatke

- **TXEN – Transmit Enable bit**

1 – Dozvoljeno slanje podataka

- **SYNC – EUSART Mode Select bit**

0 – EUSART radi u asinhronom režimu prenosa podataka

EUSART: **ASINHRONI MOD – KONFIGURACIJA PREDAJNIKA**

	R/W (0)	R/W (0)	R/W (0)	R/W (0)	R/W (0)	R/W (0)	R (1)	R/W (X)
TXSTA	X	0/1	1	0	0	0/1	TRMT	0/1
	CSRS	TX9	TXEN	SYNC	SENDB	BRGH	TRMT	TX9D

- **SENDB – Send Break Character bit**

Asinhroni mod

0 – Zabranjeno je slanje *Break* karaktera

- **BRGH – High Baud Rate Select bit**

Asinhroni mod

0/1 – EUSART radi sa malom/velikom brzinom prenosa

- **TRMT – Transmit Shift Register Status bit**

0/1 – TSR registar je pun/prazan

- **TX9D – Ninth bit of Transmit Data**

0/1 - deveti bit podataka

PREDAJNIK U ASINHRONOM MODU – **INTERAPT TEHNIKA**

	R/W (0)	R/W (0)	R/W (0)	R/W (0)	R/W (0)	R/W (0)	R/W (0)	R/W (X)
INTCON	1	1	X	X	X	X	X	X
	GIE	PEIE	TOIE	INTE	RBIE	TOIF	INTF	RBIF

- **GIE – Global Interrupt Enable bit**

1 – Omogućava sve interapte

- **PEIE – Peripheral Interrupt Enable bit**

1 – Omogućava sve interapte izazvane periferijskim modulima

PIE1							
	R/W (0)	R/W (0)	R/W (0)	R/W (0)	R/W (0)	R/W (0)	R/W (0)
X	X	X	1	X	X	X	X
-	ADIE	RCIE	TXIE	SSPIE	CCP1IE	TMR2IE	TMR1IE

- **TXIE – EUSART Transmit Interrupt Enable bit**

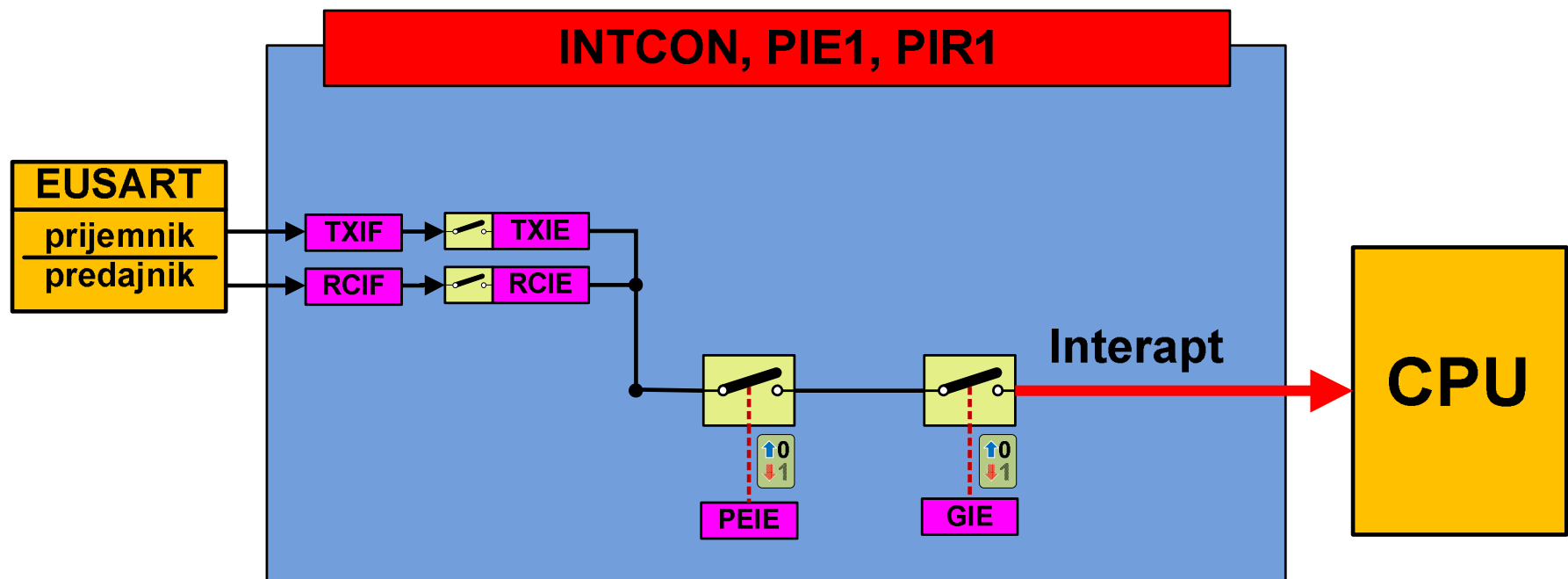
1 – Omogućava se zahtijev za interapt od strane EUSART modula, koji se generiše nakon prebacivanja podatka iz TX u TSR registar za slanje podataka

PREDAJNIK U ASINHRONOM MODU – INTERAPT TEHNIKA

PIR1		R/W (0)	R/W (0)	R/W (0)	R/W (0)	R/W (0)	R/W (0)	R/W (0)
	-	ADIF	RCIF	TXIF	SSPIF	CCP1IF	TMR2IF	TMR1IF
	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0

- **TXIF – EUSART Transmit Interrupt Flag bit**

0/1 – Bafer za slanje podataka u modulu za serijsku komunikaciju (EUSART) je pun/prazan



PREDAJNIK U ASINHRONOM MODU – POLLING TEHNIKA

	R/W (0)	R/W (0)	R/W (0)	R/W (0)	R/W (0)	R/W (0)	R (1)	R/W (X)
TXSTA	X	0/1	1	0	0	0/1	TRMT	0/1
	CSRS	TX9	TXEN	SYNC	SENDB	BRGH	TRMT	TX9D

- **TRMT – Transmit Shift Register Status bit**

0/1 – TSR registar je pun/prazan

	R/W (0)	R/W (0)	R/W (0)	R/W (0)	R/W (0)	R/W (0)	R/W (0)
PIR1	-	ADIF	RCIF	TXIF	SSPIF	CCP1IF	TMR2IF
	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1
							Bit 0

- **TXIF – EUSART Transmit Interrupt Flag bit**

0/1 – Bafer za slanje podataka u modulu za serijsku komunikaciju (EUSART) je pun/prazan

PREDAJNIK U ASINHRONOM MODU – POLLING TEHNIKA PROVJERA TRMT BITA

Asinhronim prenosom brzinom od 57.600 bauda, polling tehnikom serijski slati podatke na RC7/TX pin. SPBRG=d'16', Fosc=16 MHz

```
bsf STATUS,RP0; pristup Banci 1 zbog pristupa TRISC registru
movlw B'10111111'; ; RC6:/TX - izlazni pin; RC7/RX - ulazni pin
movwf TRISC; PORTC
movlw B'00100110'; inicijalizacija prenosa: (8-bitna širina podataka
movwf TXSTA; asinhroni mod....)
movlw d'16'; postaviti brzinu prenosa na 57,600
movwf SPBRG
bcf STATUS,RP0; pristup Banci 0 zbog pristupa RCSTA registru
movlw B'10010000'; postavljanjem bitova SPEN=1 i CREN=1
movwf RCSTA ; omogućiti rad serijskog porta
movlw A'N' ; neka se prenosi veliko slovo 'N'
call xmit; poziv potprograma za slanje xmit
```

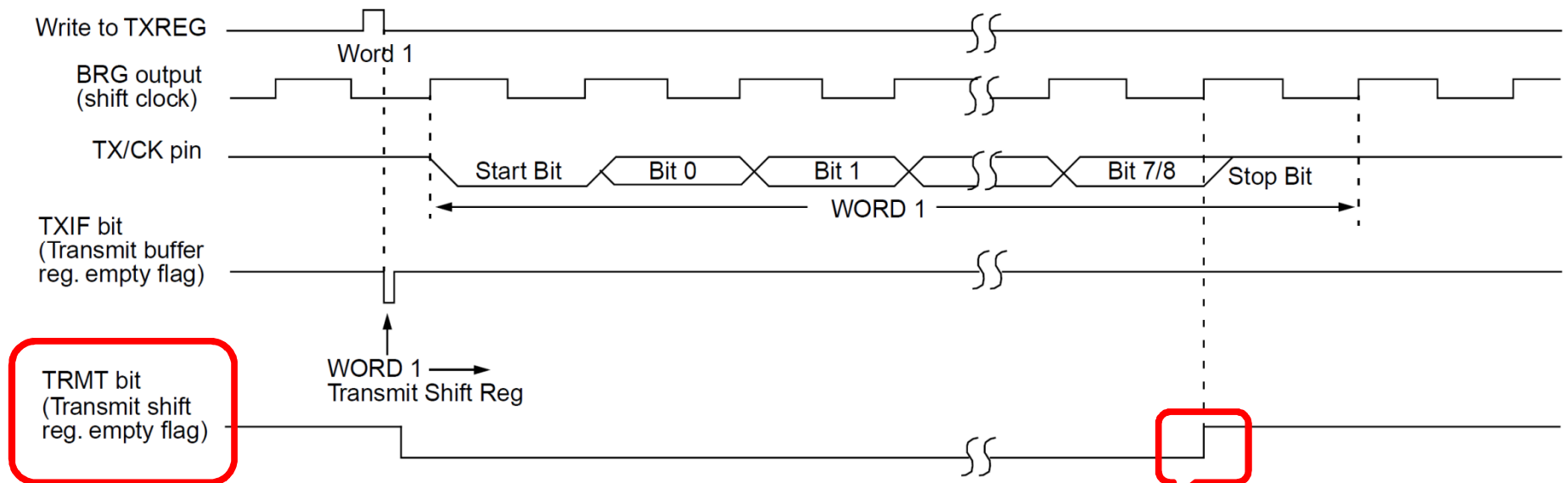
PREDAJNIK U ASINHRONOM MODU – POLLING TEHNIKA PROVJERA TRMT BITA

Asinhronim prenosom brzinom od 57.600 bauda, polling tehnikom serijski slati podatke na RC7/TX pin. SPBRG=d'16', Fosc=16 MHz

```
TXMIT: bsf STATUS, RP0; pristup Banci 1 zbog pristupa TXSTA registru  
LOOP: btfss TXSTA, TRMT; provjera da li je TSR shift registar prazan?  
        goto LOOP ; ako nije provjeriti ponovo, ako jeste  
        bcf STATUS, RP0; pristup Banci 0 zbog pristupa TXREG registru  
        movwf TXREG ; poslati podatak pod uslovom da je W=A'N'  
        return
```

PREDAJNIK U ASINHRONOMOM MODU – POLLING TEHNIKA

PROVJERA TRMT BITA



**TRMT bit promijenio stanje,
prenos 8/9- bitnog podatka završen**

PREDAJNIK U ASINHRONOM MODU – POLLING TEHNIKA PROVJERA TXIF BITA

Asinhronim prenosom brzinom od 57.600 bauda, polling tehnikom serijski slati podatke na RC7/TX pin. SPBRG=d'16', Fosc=16 MHz

```
bsf STATUS,RP0; pristup Banci 1 zbog pristupa TRISC registru
movlw B'10111111'; ; RC6:/TX - izlazni pin; RC7/RX - ulazni pin
movwf TRISC; PORTC
movlw B'00100110'; inicijalizacija prenosa: (8-bitna širina podataka
movwf TXSTA; asinhroni mod....)
movlw d'16'; postaviti brzinu prenosa na 57,600
movwf SPBRG
bcf STATUS,RP0; pristup Banci 0 zbog pristupa RCSTA registru
movlw B'10010000'; postavljanjem bitova SPEN=1 i CREN=1
movwf RCSTA ; omogućiti rad serijskog porta
movlw A'N' ; neka se prenosi veliko slovo 'N'
call xmit; poziv potprograma za slanje xmit
```

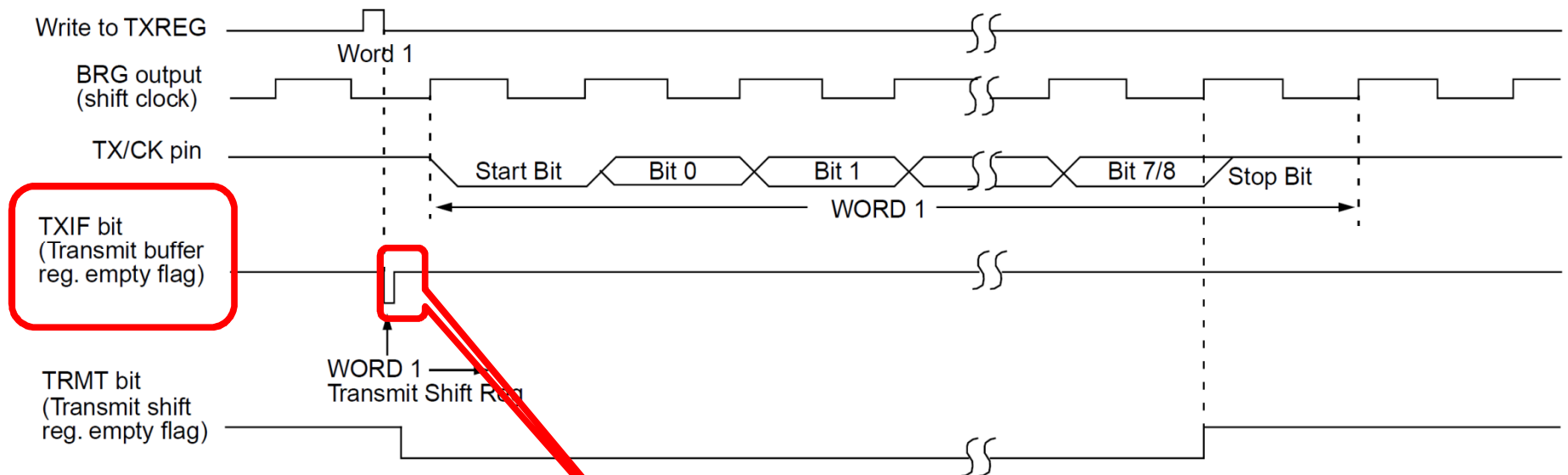
PREDAJNIK U ASINHRONOM MODU – POLLING TEHNIKA PROVJERA TXIF BITA

Asinhronim prenosom brzinom od 57.600 bauda, polling tehnikom serijski slati podatke na RC7/TX pin. SPBRG=d'16', Fosc=16 MHz

```
TXMIT: btfss PIR1, TXIF;   provjera da li je TXREG registar prazan?  
        goto TXMIT;   ako nije provjeriti ponovo, ako jeste  
        bcf STATUS, RP0;   pristup Banci 0 zbog pristupa TXREG registru  
        movwf TXREG ;   poslati podatak pod uslovom da je W=A'N'  
        return;   povratak
```

PREDAJNIK U ASINHRONOMOM MODU – POLLING TEHNIKA

PROVJERA TRMT BITA



**TXIF bit promijenio stanje,
Slanje 8/9- bitnog podatka završeno**

PREDAJNIK U ASINHROMOM MODU – POLLING TEHNIKA PRENOS BLOKA PODATAKA

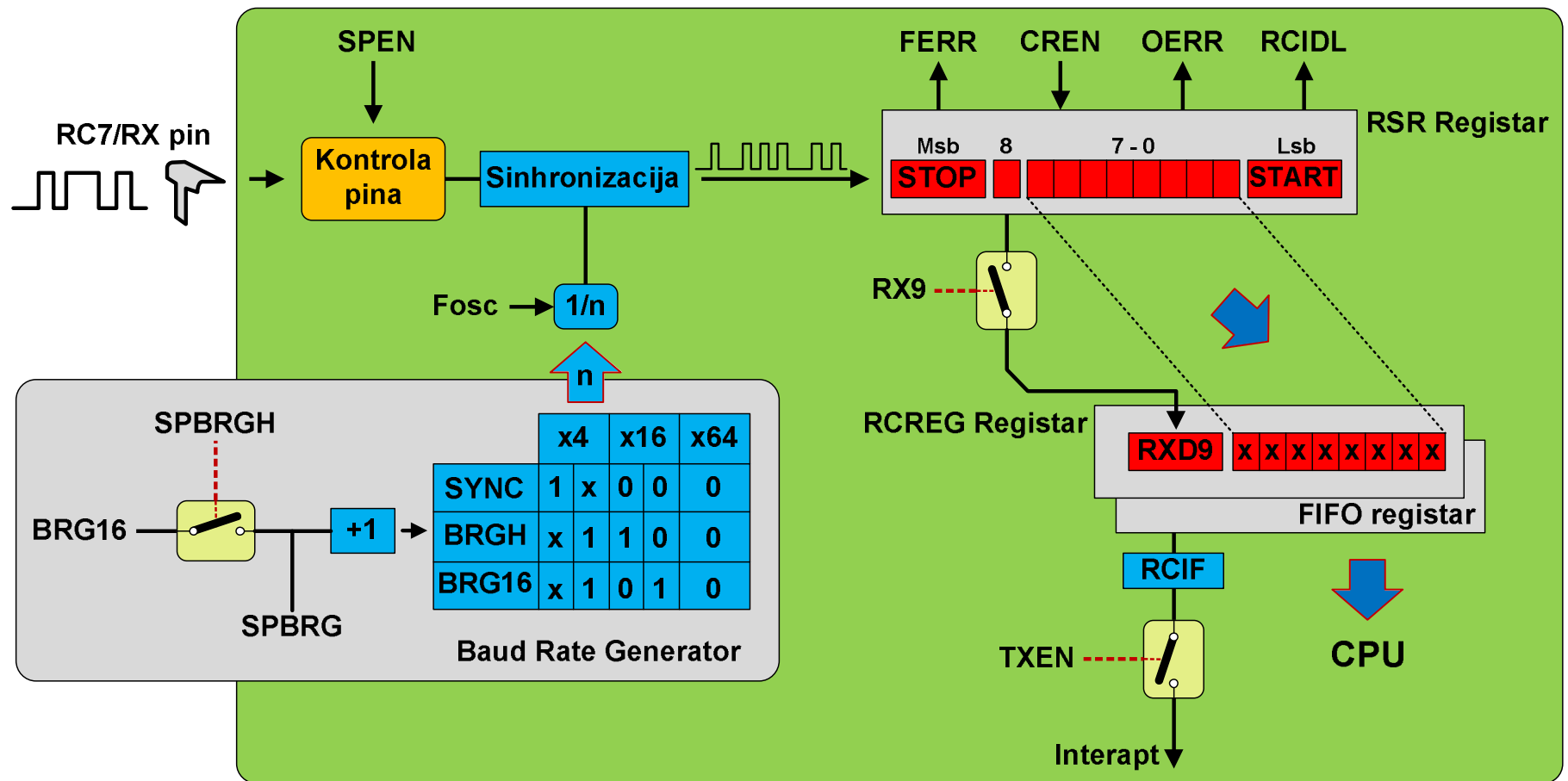
Asinhronim prenosom prenijeti blok podataka od adrese 0x30 da 0x59. Neka su parametri serijske komunikacija isti kao u prethodnom primjeru. Koristiti indirektno adrsiranje za pristup podacima (SPBRG=d'16', Fosc=16 MHz)

```
bsf STATUS,RP0; pristup Banci 1 zbog pristupa TRISC registru
movlw B'10111111'; ; RC6:/TX - izlazni pin; RC7/RX - ulazni pin
movwf TRISC; PORTC
movlw B'00100110'; inicijalizacija prenosa: (8-bitna širina podataka
movwf TXSTA; asinhroni mod....)
movlw d'16'; postaviti brzinu prenosa na 57,600
movwf SPBRG
bcf STATUS,RP0; pristup Banci 0 zbog pristupa RCSTA registru
movlw B'10010000'; postavljanjem bitova SPEN=1 i CREN=1
movwf RCSTA ; omogućiti rad serijskog porta
```

PREDAJNIK U ASINHRONOM MODU – POLLING TEHNIKA PRENOS BLOKA PODATAKA

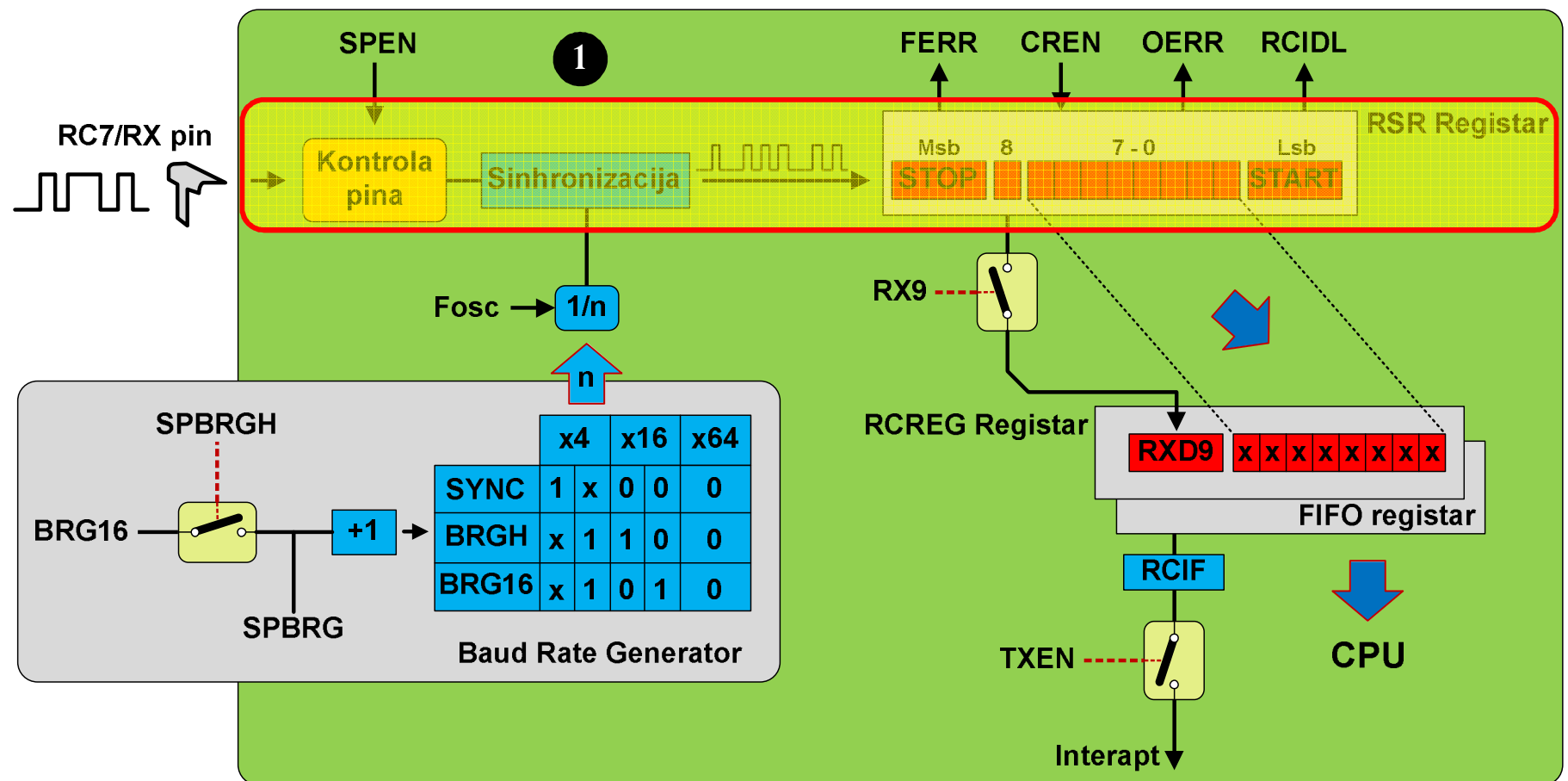
```
    movlw 0x30; početnu adresu bloka podataka (0x30h)
    movwf FSR; smjestiti u FSR registar za indirektno adresiranje
NEXT:  movf INDF,W; uzeti podatak sa adrese 0x30h,... i premjestit ga
    movwf TXREG; u TXREG registar za slanje na RC6/TX pin
    bsf STATUS,RP0; pristup Banci 1 zbog pristupa TXSTA registru
TXPOLL: btfss TXSTA,TRMT; provjera da li je TSR shift registar prazan?
    goto TXPOLL; ako nije provjeriti ponovo, ako jeste
    bcf STATUS,RP0; pristup Banci 0 zbog uzimanja novog podatka
    incf FSR; uvećaj FSR da ukazuje na sljedeći podatak
    movlw 0x60; provjeriti da li se došlo do
    subwf FSR,W; posljednjeg elementa u bloku podataka
    btfss STATUS,Z; ako nije skok na NEXT, ako jeste izlaz
    goto NEXT
    ...
    ...
```

EUSART-16F887: ASINHRONI MOD - PRIJEMNIK



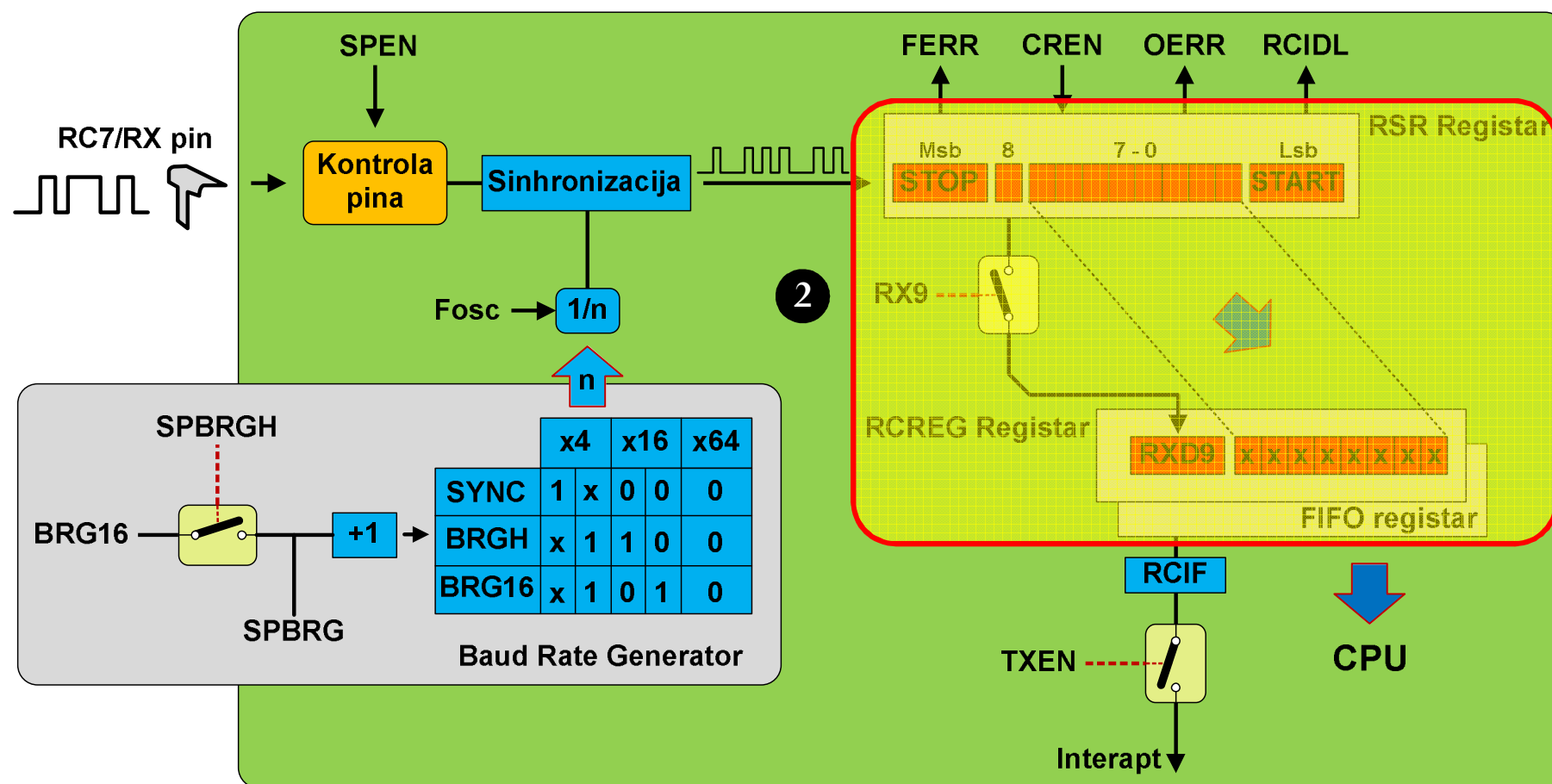
EUSART-16F887: ASINHRONI MOD - PRIJEMNIK

- Nakon detekcije **START** bita podatak se preko pina **RX** smješta u pomjerački RSR registar



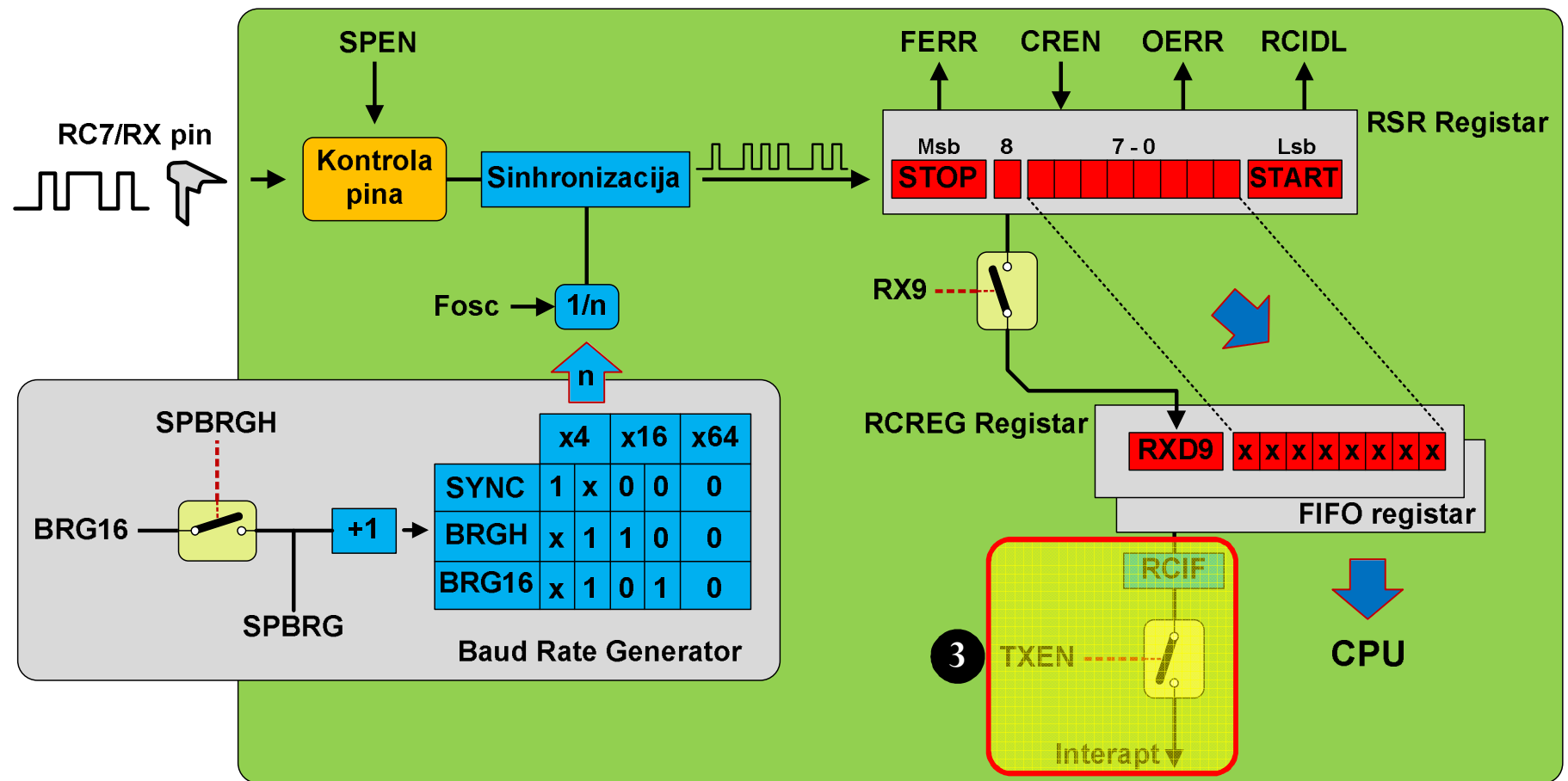
EUSART-16F887: ASINHRONI MOD - PRIJEMNIK

- Podatak se iz **RSR** registra prebacuje u **RCREG** registar



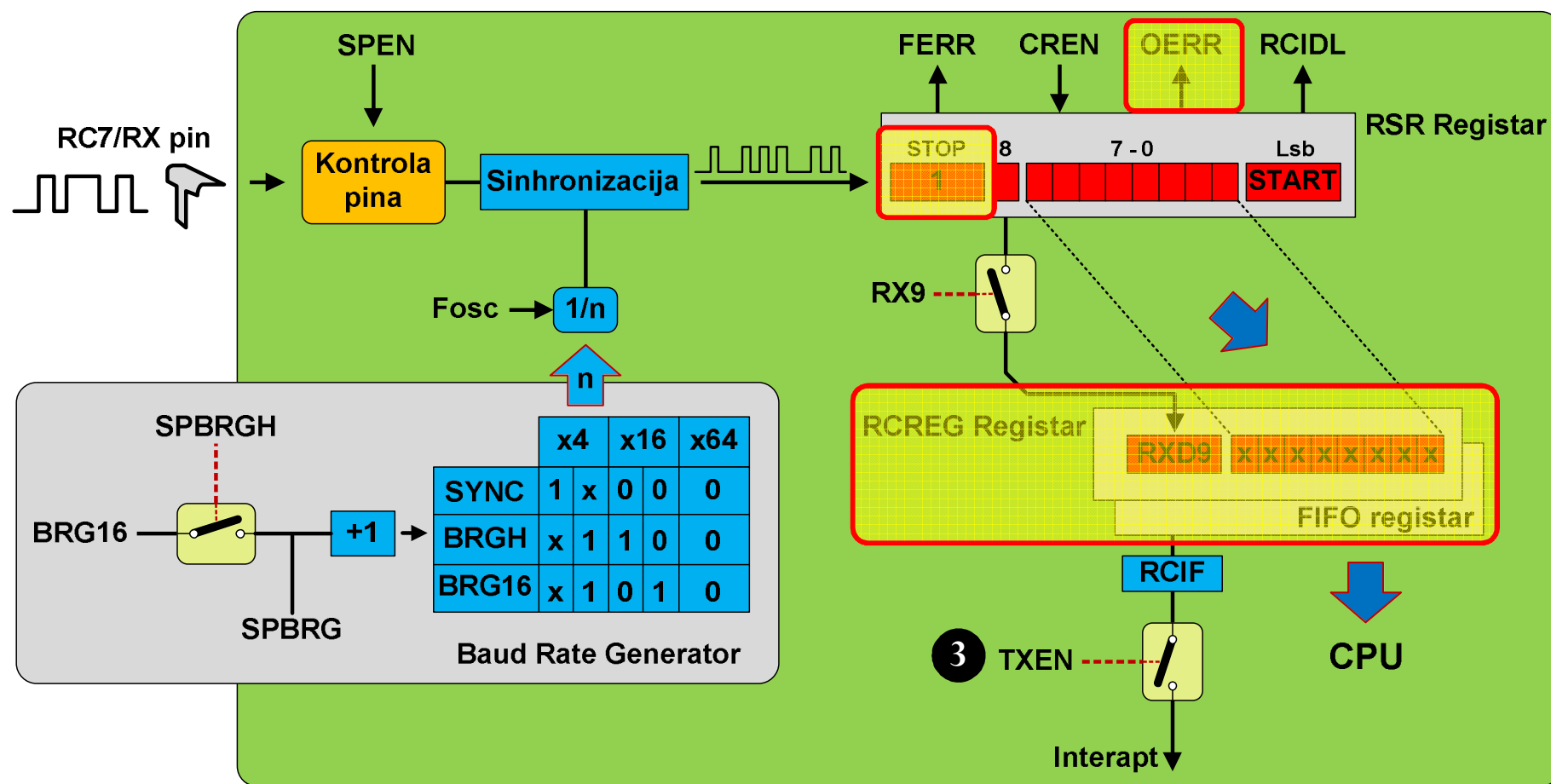
EUSART-16F887: **ASINHRONI MOD - PRIJEMNIK**

- Kada se **RCREG** popuni setuje irterapt fleg **RCIF** koji se koristi kod interapt i pooling tehnike opsluživanja rada EUSART prijemnika. U **RCREG** registar mogu da stanu dva bajta podataka



ASINHRONI MOD – GREŠKA PREKORAČENJA OERR bit

- Ako je **RCREG** popunjen i ako se u **RSR** registru detektuje setovan **STOP** bit, setovaće se **OERR** bit, što označava prekoračenje. Sve dok je **OERR** setovan dalji prijem nije moguć!!!!



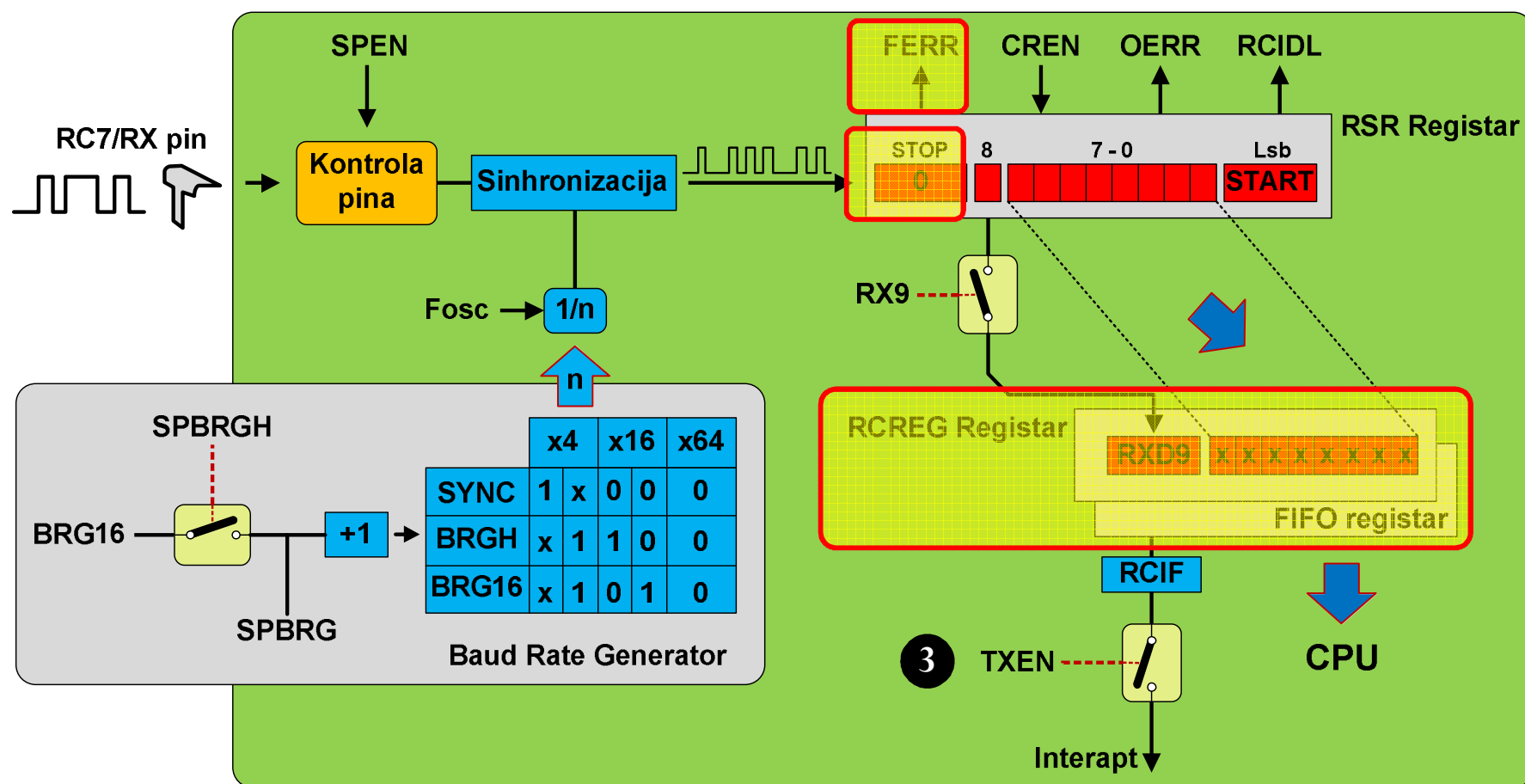
ASINHRONI MOD – GREŠKA PREKORAČENJA OERR bit

- Greška prekoračenja ima za posljedicu sljedeće:
 - Primljeni podaci (dva bajta) u **RCREG** registru ,ogu da se normalno očitaju
 - Prijem novih podatak je onemogućen sve dok se bit **OERR** u **RCSTA** registru ne resetuje
 - Poništavanje greške prekoračenja predajnika (resetovanje **OERR** bit u **RCSTA** registru) izvodi se resetovanjem i ponovnim setovanjem **CREN** bit u **RCSTA** registru ili resetovanjem cijelog EUSART modula resetovanjem bita **SPEN** u **RCSTA** registru

RCSTA	R/W (0)	R/W (0)	R/W (0)	R/W (0)	R/W (0)	R (0)	R (0)	R(X)
	SPEN	RX9	SREN	CREN	ADDEN	FERR	OERR	RX9D
	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0

ASINHRONI MOD – GREŠKA OKVIRA PODATAKA FERR bit

- Ako je prijemnik ne detektuje **STOP** bit (**STOP bit = 0**) u očekivanom trenutku, setuje se **FERR** bit u **RCSTA** registru što označava grešku u prijemu podataka (*Framming Error*).

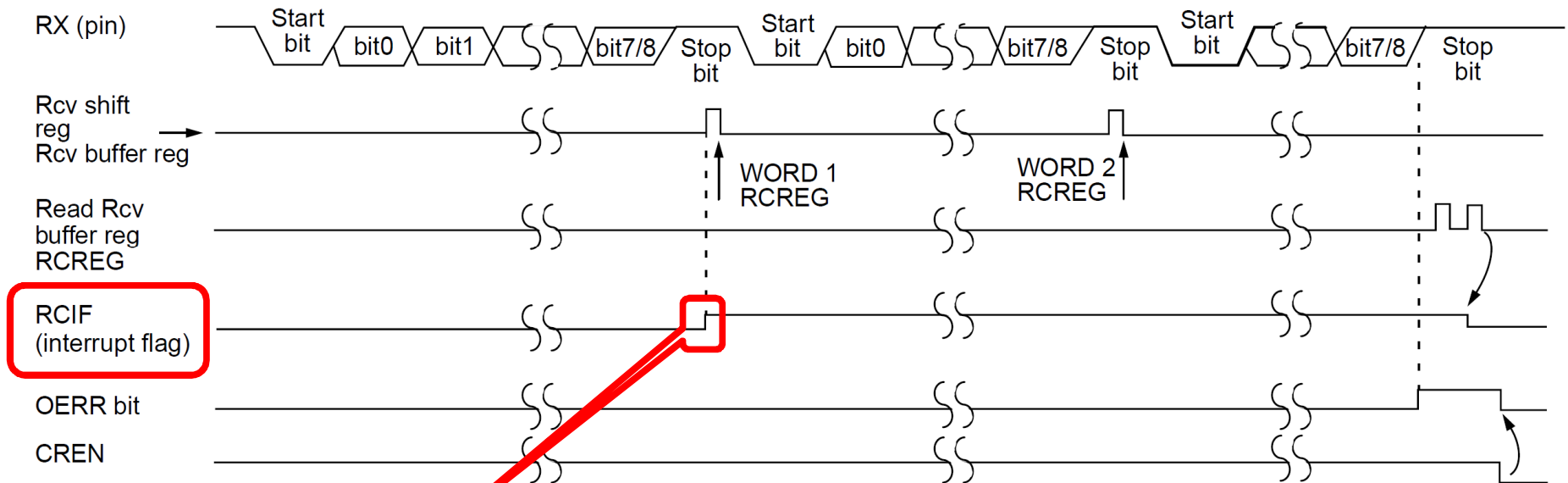


ASINHRONI MOD – GREŠKA OKVIRA PODATAKA FERR bit

- Greška okvira podataka ima za posljedicu sljedeće:
 - Ova greške ne izaziva interapt predajnika
 - Greška je u posljednjem primljenom podatku
 - Detektovana greška ne sprječava prijem novog podatka
 - Čitanjem podatka resetuje se **FERR** bit, pa provjeru statusa **FERR** bita treba obaviti prije čitanja podatka
- **FERR** bit može se resetovati softverski, resetovanjem cijelog EUSART modula resetovanjem bita **SPEN** u **RCSTA** registru

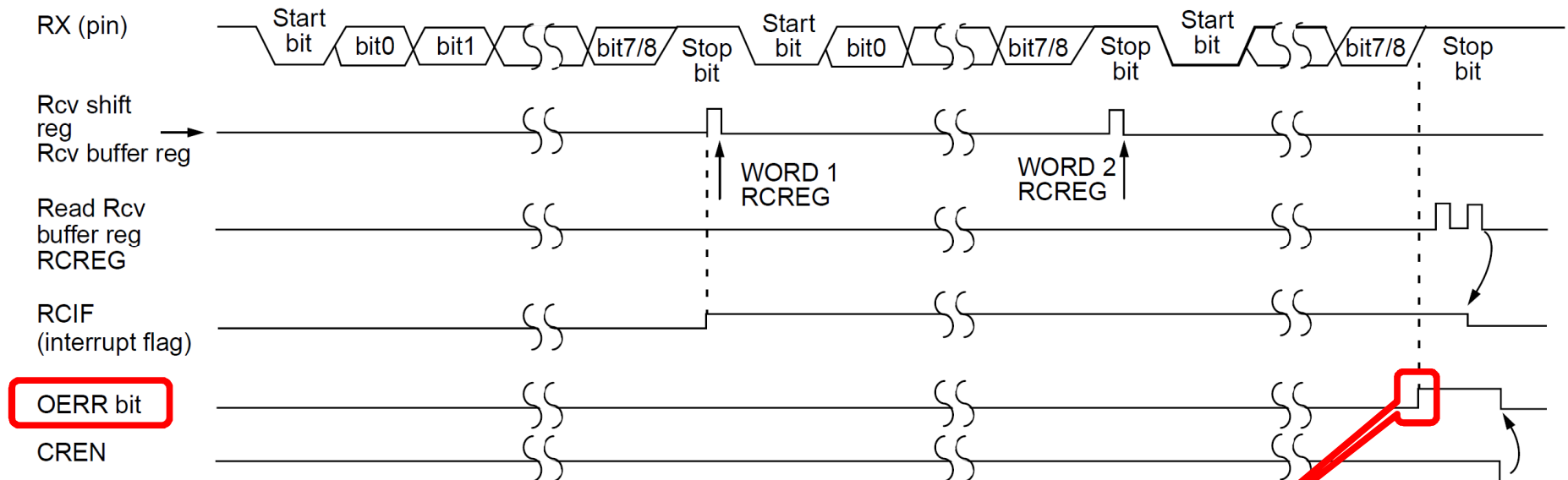
RCSTA	R/W (0)	R/W (0)	R/W (0)	R/W (0)	R/W (0)	R (0)	R (0)	R(X)
	SPEN	RX9	SREN	CREN	ADDEN	FERR	OERR	RX9D
	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0

EUSART-16F887: ASINHRONI MOD - PRIJEMNIK



**RXIF bit promijenio stanje,
pijem 8/9- bitnog podatka
završen**

EUSART-16F887: ASINHRONI MOD - PRIJEMNIK



Pošto RCREG sadrži dva primljena podatka nakon prijema trećeg u RSR, setuje se OERR bit greške

PRIJEMNIK U ASINHRONOM MODU – POLLING TEHNIKA PROVJERA RCIF BITA

Postaviti prijemnik u asinhroni mod za prijem podataka sa RC7/RX pina brzinom od 57.600 bauda. Koristiti polling tehniku za prijem podataka. Fosc=4 MHz

```
bsf STATUS,RP0; pristup Banci 1 zbog pristupa TRISC registru
movlw B'10000000'; ; RC6:/TX - izlazni pin; RC7/RX - ulazni pin
movwf TRISC; PORTC
movlw B'00000100'; inicijalizacija prenosa: (8-bitna širina podataka
movwf TXSTA; asinhroni mod....)
movlw d'3'; postaviti brzinu prenosa na 57,600
movwf SPBRG
bcf STATUS,RP0; pristup Banci 0 zbog pristupa RCSTA registru
movlw B'10010000'; postavljanjem bitova SPEN=1 i CREN=1
movwf RCSTA ; omogućiti rad serijskog porta
call RXREC; poziv potprograma za prijem podataka RXREC
```

PRIJEMNIK U ASINHRONOM MODU – POLLING TEHNIKA PROVJERA RCIF BITA

Postaviti prijemnik u asinhroni mod za prijem podataka sa RC7/RX pina brzinom od 57.600 bauda. Koristiti polling tehniku za prijem podataka. Fosc=4 MHz

```
RXREC: btfss PIR1,RCIF;  provjera da li je RCREG registar prazan?  
        goto RXREC;  ako nije provjeriti ponovo, ako jeste  
        movf RCREG,W;  podatak iz RCREG premjestiti u W  
        movwf TEMP;  podatak iz W registra prebaciti na lokaciju TEMP  
        return;  povratak
```

PRIJEMNIK U ASINHRONOM MODU – INTERAPT TEHNIKA PROVJERE RCIF BITA+PROVJERA GREŠKE OERR i FERR bit

Postaviti prijemnik u asinhroni mod za prijem podataka sa RC7/RX pina brzinom od 57.600 bauda. Koristiti **polling tehniku** za prijem podataka. Fosc=4 MHz

```
bsf STATUS,RP0; pristup Banci 1 zbog pristupa TRISC registru
movlw B'10000000'; ; RC6:/TX - izlazni pin; RC7/RX - ulazni pin
movwf TRISC; PORTC
movlw B'00000100'; inicijalizacija prenosa: (8-bitna širina podataka
movwf TXSTA; asinhroni mod....)
movlw d'3'; postaviti brzinu prenosa na 57,600
movwf SPBRG
bcf STATUS,RP0; pristup Banci 0 zbog pristupa RCSTA registru
movlw B'10010000'; postavljanjem bitova SPEN=1 i CREN=1
movwf RCSTA ; omogućiti rad serijskog porta
call RXREC; poziv potprograma za prijem podataka RXREC
```

PRIJEMNIK U ASINHRONOM MODU – POLLING TEHNIKA **PROVJERA RCIF BITA+PROVJERA GREŠKE OERR i FERR bit**

Postaviti prijemnik u asinhroni mod za prijem podataka sa RC7/RX pina brzinom od 57.600 bauda. Koristiti **polling tehniku** za prijem podataka. Fosc=16 MHz

```
RXREC:    btfss PIR1,RCIF;  provjera da li je RCREG registar pun?
           goto RXREC;  ako nije provjeriti ponovo, ako jeste nastaviti.....
           btfsc RCSTA,OERR ; da li se desila greška prekoračenja
           goto CLROR;  (OERR=1), ako jeste skok na labelu CLROR
           btfsc RCSTA,FERR; da li se desila greška okvira podataka
           goto CLRFE;  (FERR=1), ako jeste skok na labelu CLRFE
           movf RCREG,W; podatak iz RCREG premjestiti u W
           movwf TEMP; podatak iz W registra prebaciti na lokaciju TEMP
           return;  povratak

CLROR:    bcf RCSTA,CREN;  Obrisati CREN bit, a zatim setovati
           bsf RCSTA,CREN;  CREN bit i poništiti OERR grešku
           goto RXREC;

CLRFE:    movf RCREG,W; upisom RCREG u W registar
           goto RXREC;  poništiti FERR grešku
```

PRIJEMNIK U ASINHRONOM MODU – POLLING TEHNIKA PROVJERA RCIF BITA+PROVJERA GREŠKE OERR i FERR bit

Postaviti prijemnik u asinhroni mod za prijem podataka sa RC7/RX pina brzinom od 57.600 bauda. Koristiti **interapt tehniku** za prijem podataka. Fosc=16 MHz

```
I_SER:  bsf STATUS,RP0; pristup Banci 1 zbog pristupa TRISC registru
        movlw B'10000000'; RC6:/TX izlazni pin i RC7/RX - ulazni pin
        movwf TRISC; PORTC
        movlw B'00000100'; inicijalizacija prenosa: (8-bitna širina
        movwf TXSTA; podataka, asinhroni mod....)
        movlw d'3'; postaviti brzinu prenosa na 57,600
        movwf SPBRG
        bcf STATUS,RP0; pristup Banci 0 zbog pristupa RCSTA registru
        movlw B'10010000'; postavljanjem bitova SPEN=1 i CREN=1
        movwf RCSTA ; omogućiti rad serijskog porta
```

PRIJEMNIK U ASINHRONOM MODU – POLLING TEHNIKA PROVJERA RCIF BITA+PROVJERA GREŠKE OERR i FERR bit

Postaviti prijemnik u asinhroni mod za prijem podataka sa RC7/RX pina brzinom od 57.600 bauda. Koristiti **interapt tehniku** za prijem podataka. Fosc=16 MHz

```
IRQ_IN:  bsf  STATUS,RP0; pristup Banci 1 zbog pristupa TRISC registru
          movlw B'00100000'; omogući interapt od EUSART modula
          movwf PIE1;
          bcf  STATUS,RP0; pristup Banci 0 zbog pristupa INTCON registru
          movlw B'11000000'; setovati GIE i PEIE i time
          movwf INTCON; omogući interapte

MAIN:    . . .
          . . .
          . . .
          goto MAIN;  beskonačna petlja u glavnom programu
```

PRIJEMNIK U ASINHRONOM MODU – POLLING TEHNIKA **PROVJERA RCIF BITA+PROVJERA GREŠKE OERR i FERR bit**

Postaviti prijemnik u asinhroni mod za prijem podataka sa RC7/RX pina brzinom od 57.600 bauda. Koristiti **interapt tehniku** za prijem podataka. Fosc=16 MHz

```
SER_ISR:  btfsc RCSTA,OERR ; da li se desila greška prekoračenja  
           goto CLROR; (OERR=1), ako jeste skok na labelu CLROR  
           btfsc RCSTA,FERR; da li se desila greška okvira podataka  
           goto CLRFE; (FERR=1), ako jeste skok na labelu CLRFE  
           movf RCREG,W; podatak iz RCREG premjestiti u W  
           movwf TEMP; podatak iz W registra prebaciti na lokaciju TEMP  
  
CLROR:   bcf RCSTA,CREN; Obrisati CREN bit, a zatim setovati  
           bsf RCSTA,CREN; CREN bit i poništiti OERR grešku  
           goto EXIT;  
  
CLRFE:   movf RCREG,W; upisom RCREG u W registar  
           goto EXIT; poništiti FERR grešku  
  
EXIT:    retfie; izlaz iz ISR
```