

ARHITEKTURA MIKROKONTROLERA

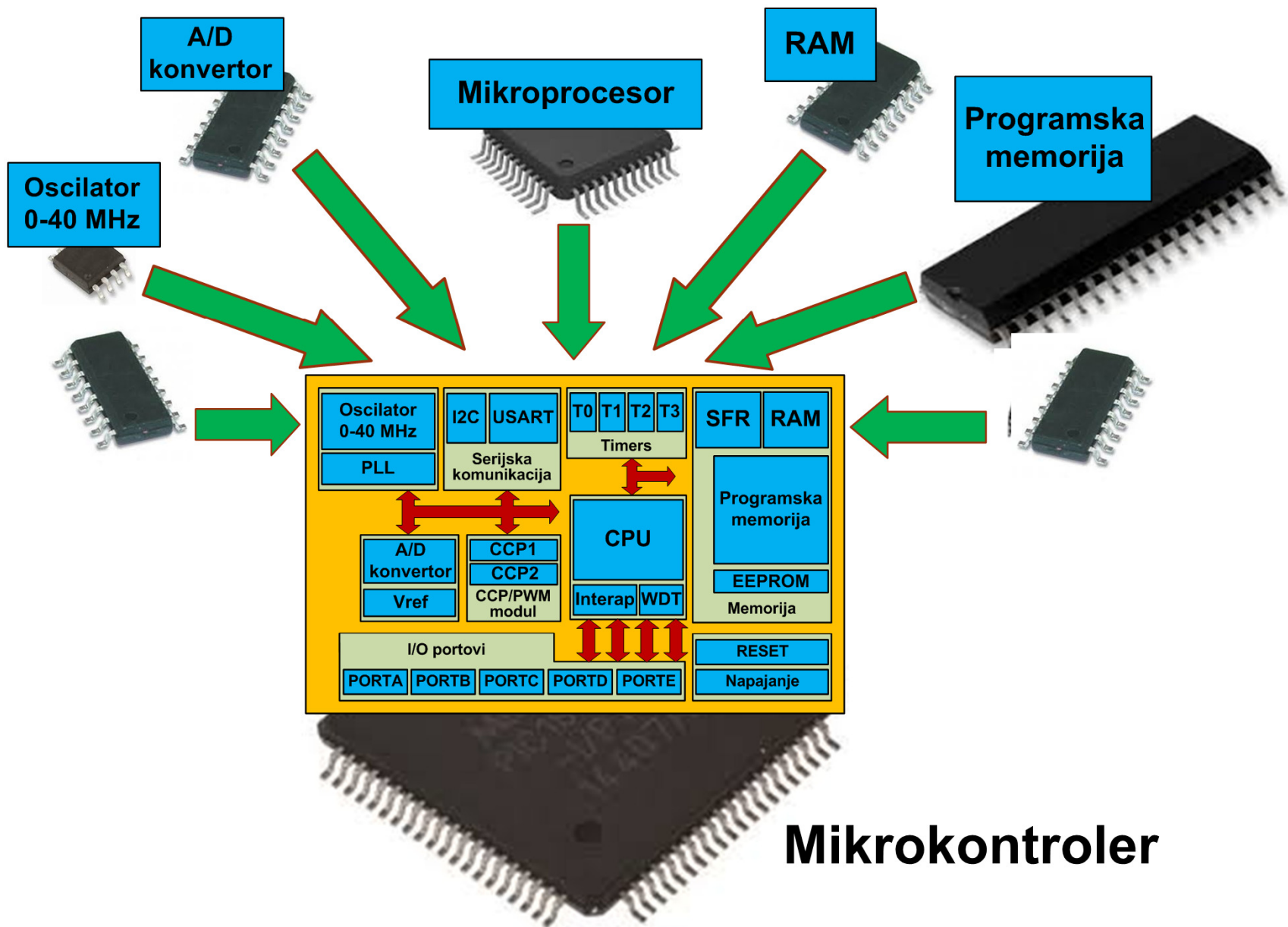
Mikrokontroleri

- Posebno projektovani za povezivanje sa okolinom
- Ima ugrađene CPU, RAM, ROM, tajmere/brojače, serijske prenose podataka
- Redukovani skup instrukcija
- Skup instrukcija upravljački orijentisan i manipulacija podacima na nivou bita, sa grananjima i I/O operacijama
- Često su embedded kontroleri (koriste se kao komponenta složenijih sistema).

Mikroprocesori

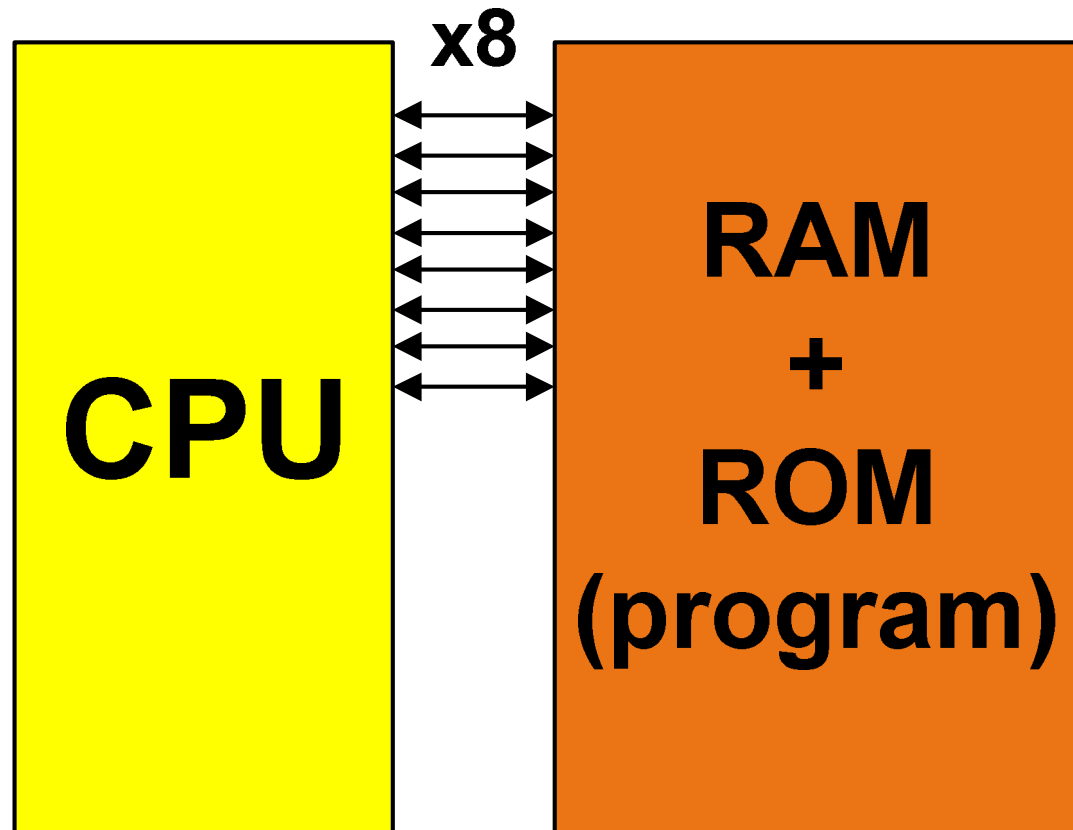
- Više pažnje je posvećeno na interfejsu sa korisnikom
- Nema ugrađene CPU, RAM, ROM, tajmere/brojače, serijski prenos podataka
- Skup instrukcija je promjenljiv od jednostavnih do veoma kompleksnih
- Skup instrukcija upravljački orijentisan i manipulacija podacima na nivou bita, sa grananjima i I/O operacijama

ARHITEKTURA MIKROKONTROLERA



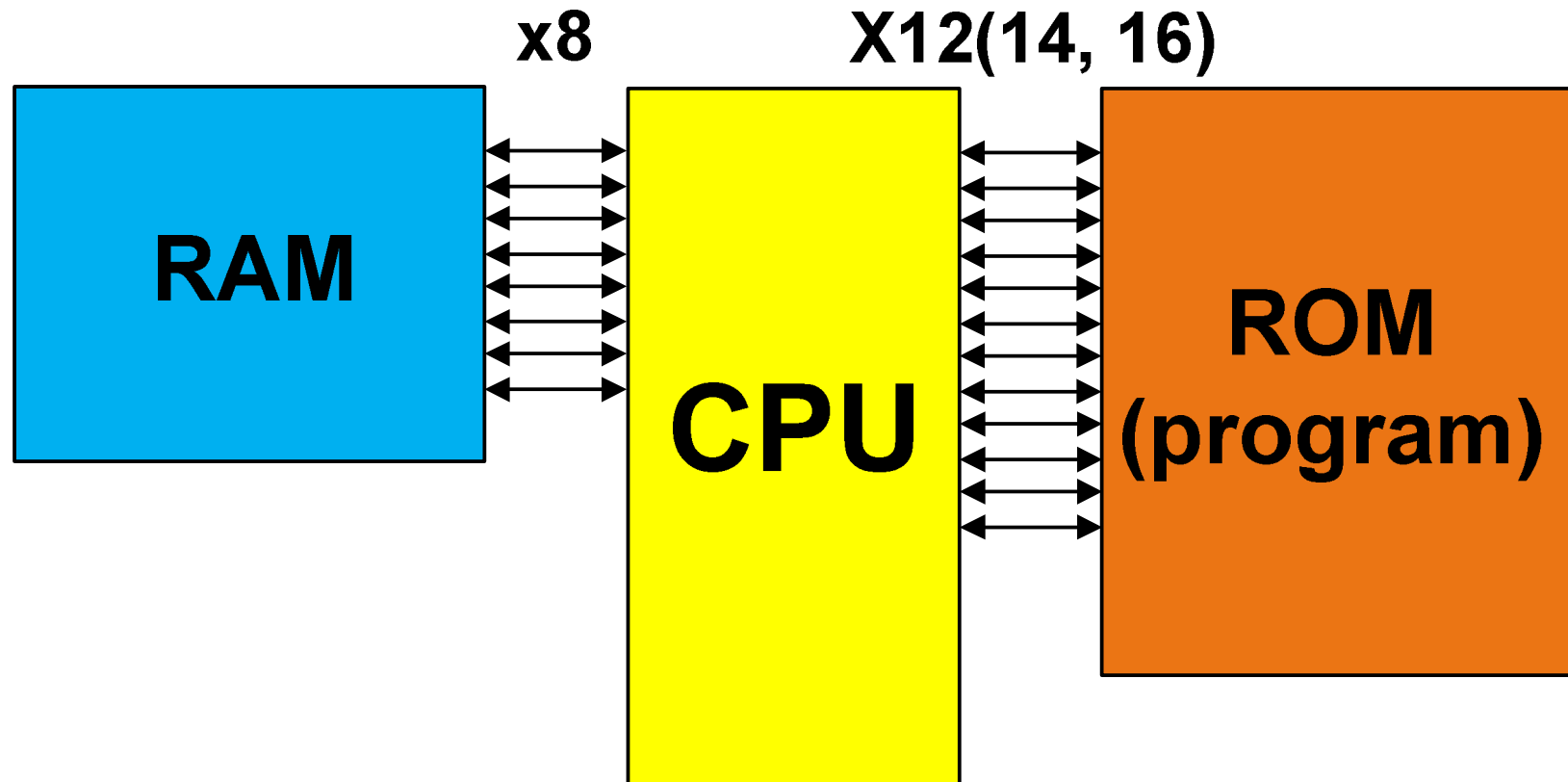
VON-NOJMANOVA ARHITEKTURA MIKROKONTROLERA

- Kod ove arhitekture postoji samo jedan memorijski blok i jedna 8-bitna magistrala podataka
- Preko 8-bitna magistrale prenose se i podaci i adrese instrukcija, pa je komunikacija spora



HARVARD ARHITEKTURA MIKROKONTROLERA

- Kod ove arhitekture postoji dvije nezavisne magistrale: jedna za podatke, a druga za adrese instrukcija
- Obično je se 8-bitna magistrala koristi za podatke, a 12, 14 ili 16 – bitna magistrala za adrese instrukcija

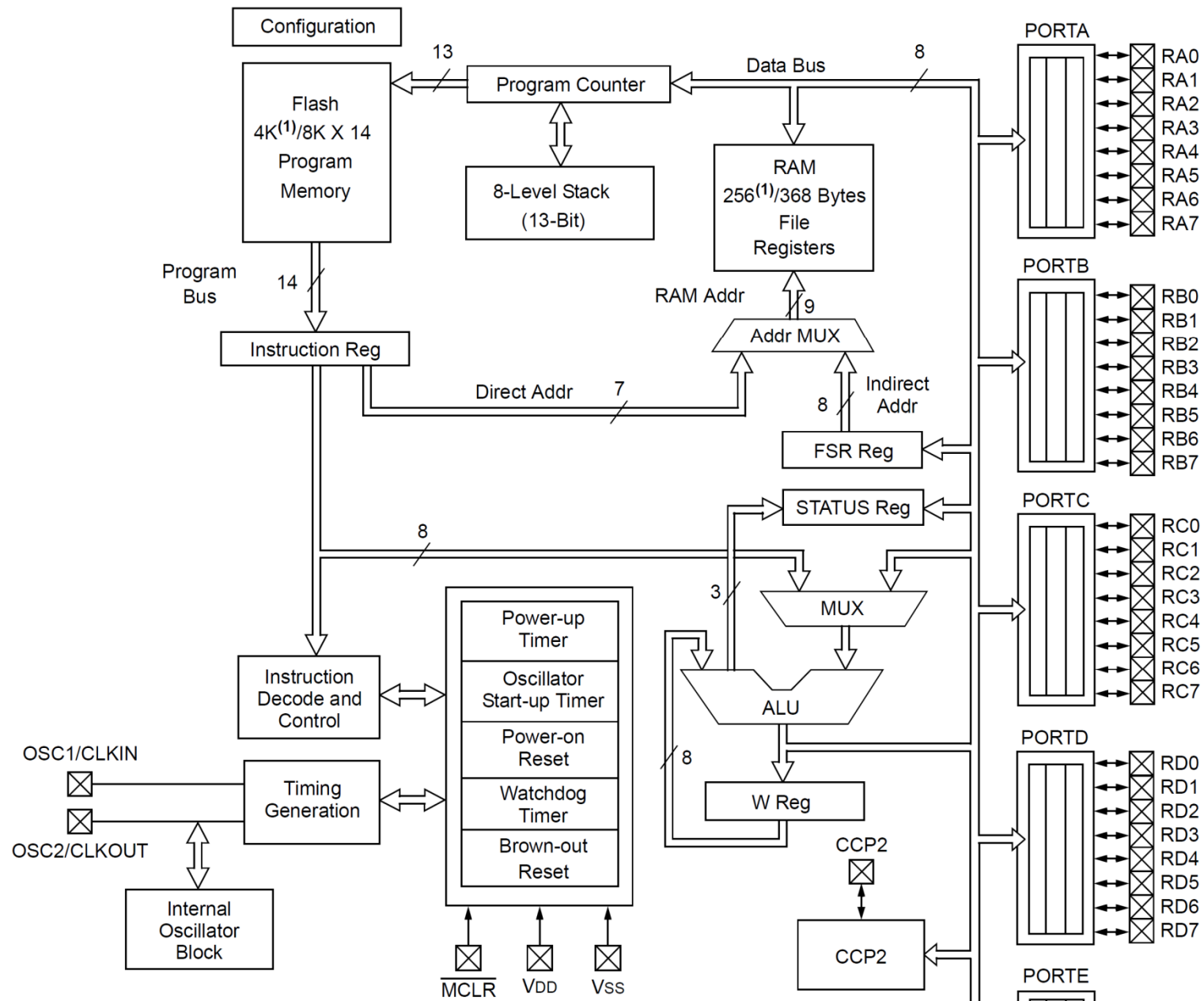


POREĐENJE ARHITEKTURA MIKROKONTROLERA

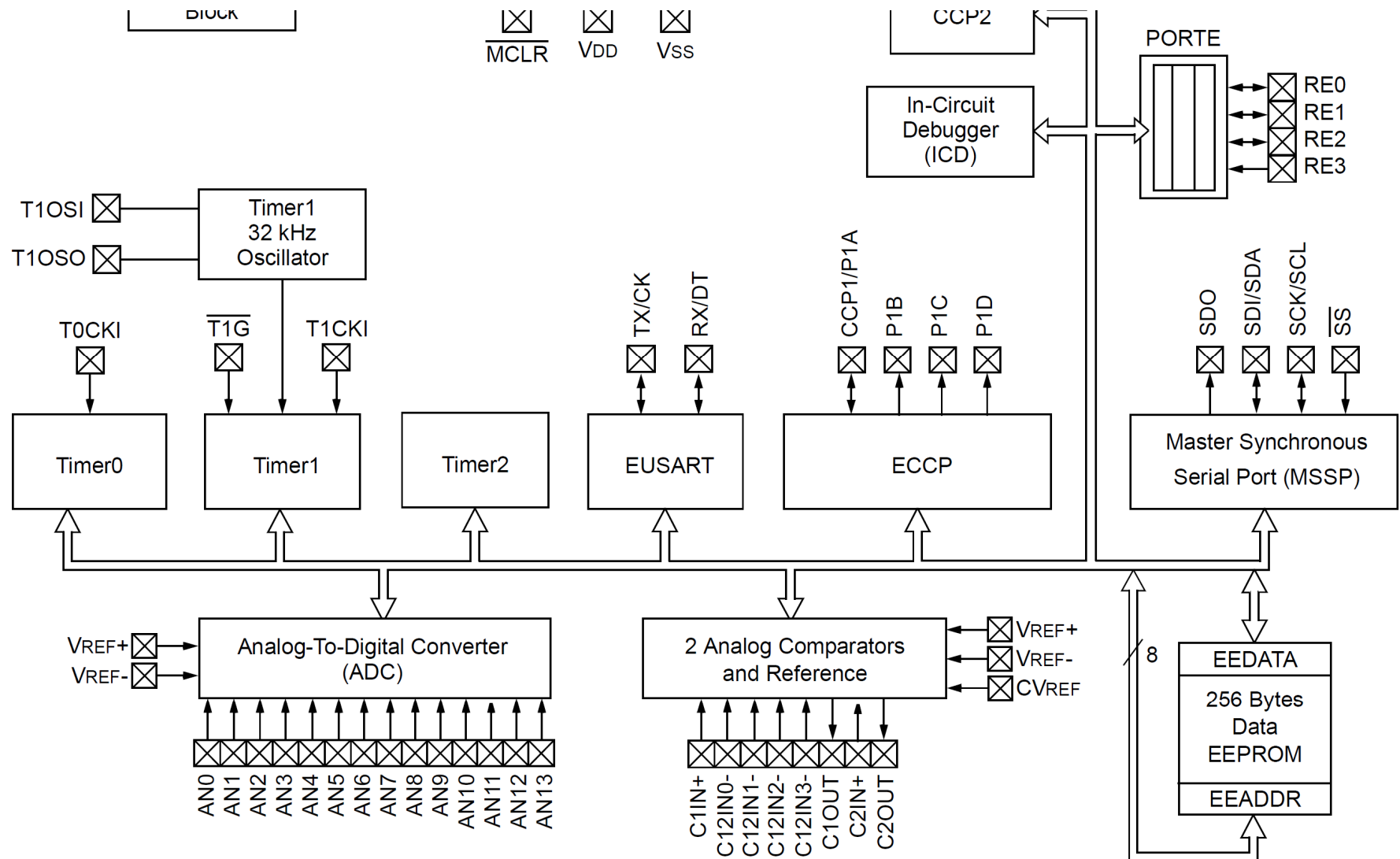
Harvard u odnosu na Von-Nojmanovu arhitekturu

- **Programska memorija i memorija za podatke** su dvije fizički odvojene memorije
- **Pribavljanje instrukcije** iz programske memorije i **probavljanje podatka** iz memorije za podatke može se istovremeno obaviti
- Programska i memorija za podatke imaju posebne **adresne magistrale** i posebne **magistrale za prihvatanje podataka**

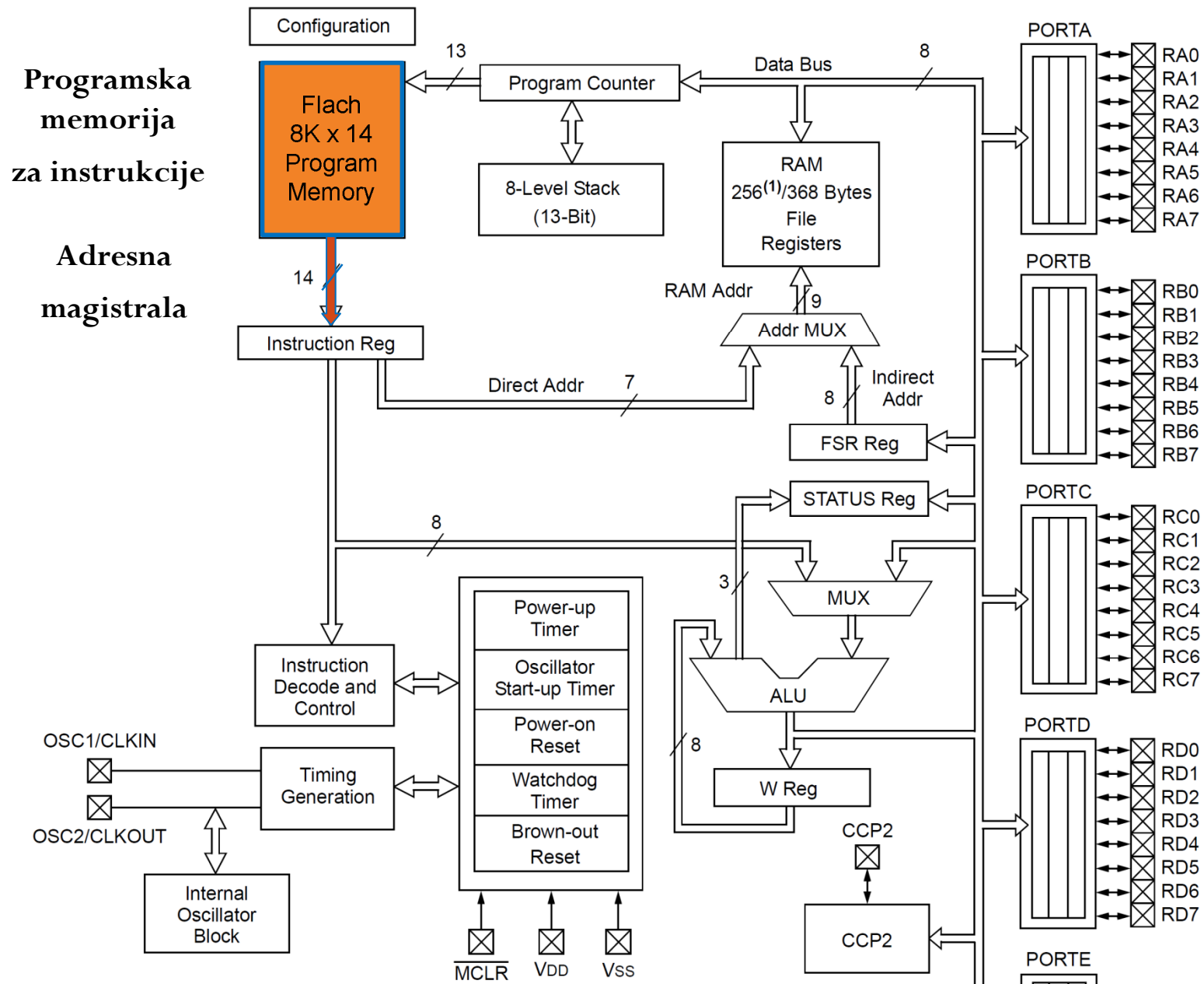
HARVARD ARHITEKTURA: PIC 16F887 MIKROKONTROLERA



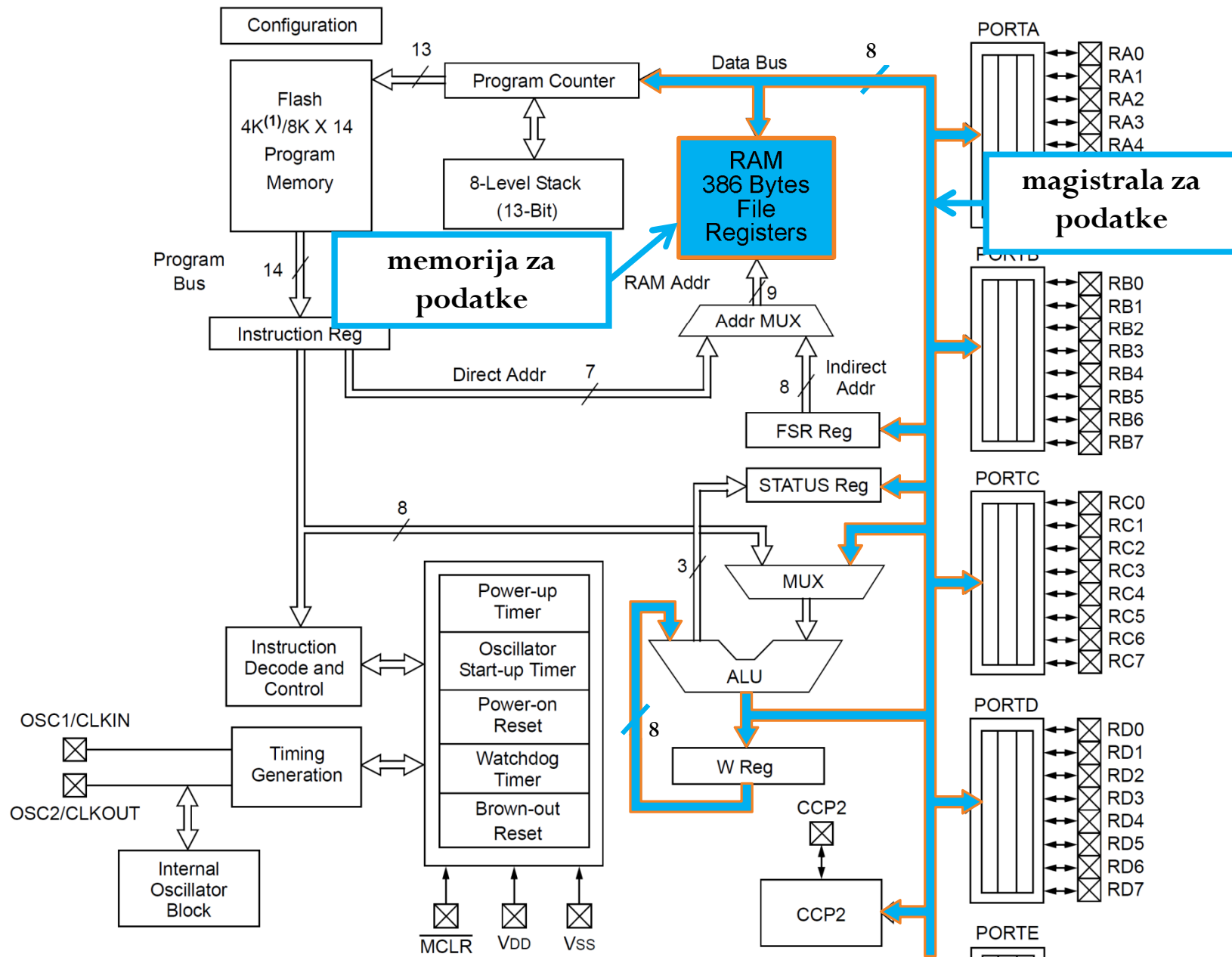
HARVARD ARHITEKTURA: PIC 16F887 MIKROKONTROLERA



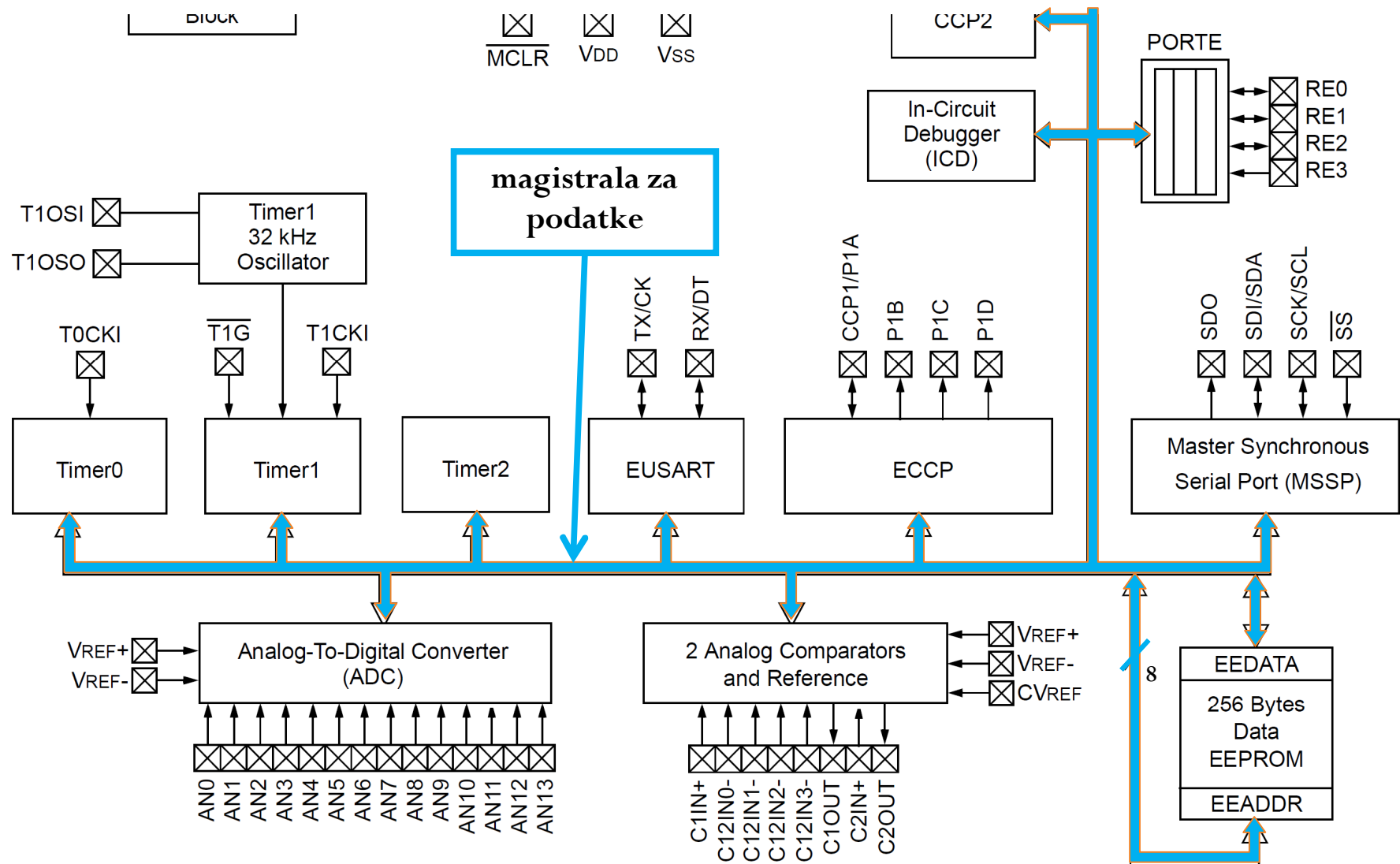
HARVARD ARHITEKTURA: PIC 16F887 MIKROKONTROLERA



HARVARD ARHITEKTURA: PIC 16F887 MIKROKONTROLERA



HARVARD ARHITEKTURA: PIC 16F887 MIKROKONTROLERA



ARHITEKTURA: SET INSTRUKCIJA (ISC)

Redukovani ISC (RISC) u odnosu na Kompleksni ISC (CISC)

- **Fiksna dužina instrukcija:**
 - Broj bajtova mašinskog koda nakon kompajliranja je fiksna
- **Sve instrukcije se izvršavaju za jedan instrukcioni taktni interval**
- **Za pristup podacima u memoriji koriste se Load/Store instrukcije:**
 - CISC mikroprocesori posjeduju instrukcije za direktan pristup podacima u memoriji za razliku od RISC mikroprocesora
- **Veliki broj internih registara:**
 - Postojeće za pristup memoriji koriste LOAD/STORE instrukcije više registara je potrebno za procesiranje podataka
- **Jednostavni načini adresiranja:**
 - Kompleksni načini adresiranja koji su tipični za CISC mikroprocesore zahtijevaju više taktnih intervala za izvršenje instrukcije, zbog aritmetičkih operacija potrebnih za izračunavanje efektivne adrese instrukcije

ARHITEKTURA: SET INSTRUKCIJA (ISC)

Redukovani ISC (RISC) u odnosu na Kompleksni ISC (CISC)

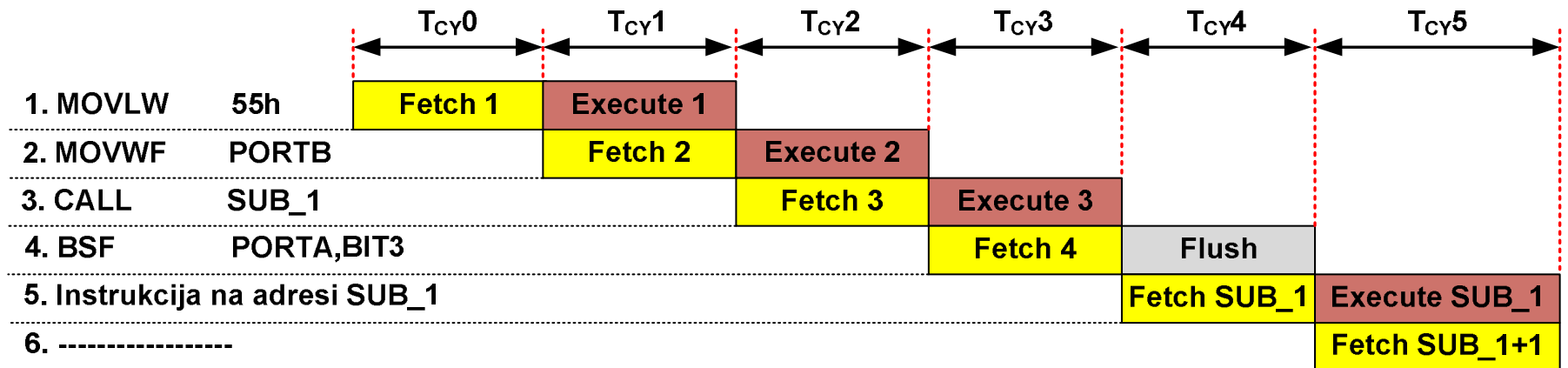
- **Posebne magistrale za instrukcije i podatke:**
- CISC procesori posjeduju obično **dva skupa magistrala**:
 - skup adresnih magistrala za pristup opkodovima i operandima
 - skup magistrala za prenos opkodova i operandada prema i od CPU jedinice
- RISC procesori posjeduju **četiri skupa magistrala**:
 - skup adresnih magistrala za pristup operandima
 - skup magistrala za prenos operandada prema i od CPU jedinice
 - skup adresnih magistrala za pristup opkodovima
 - skup magistrala za prenos opkodova

ARHITEKTURA: SET INSTRUKCIJA (ISC)

Redukovani ISC (RISC) u odnosu na Kompleksni ISC (CISC)

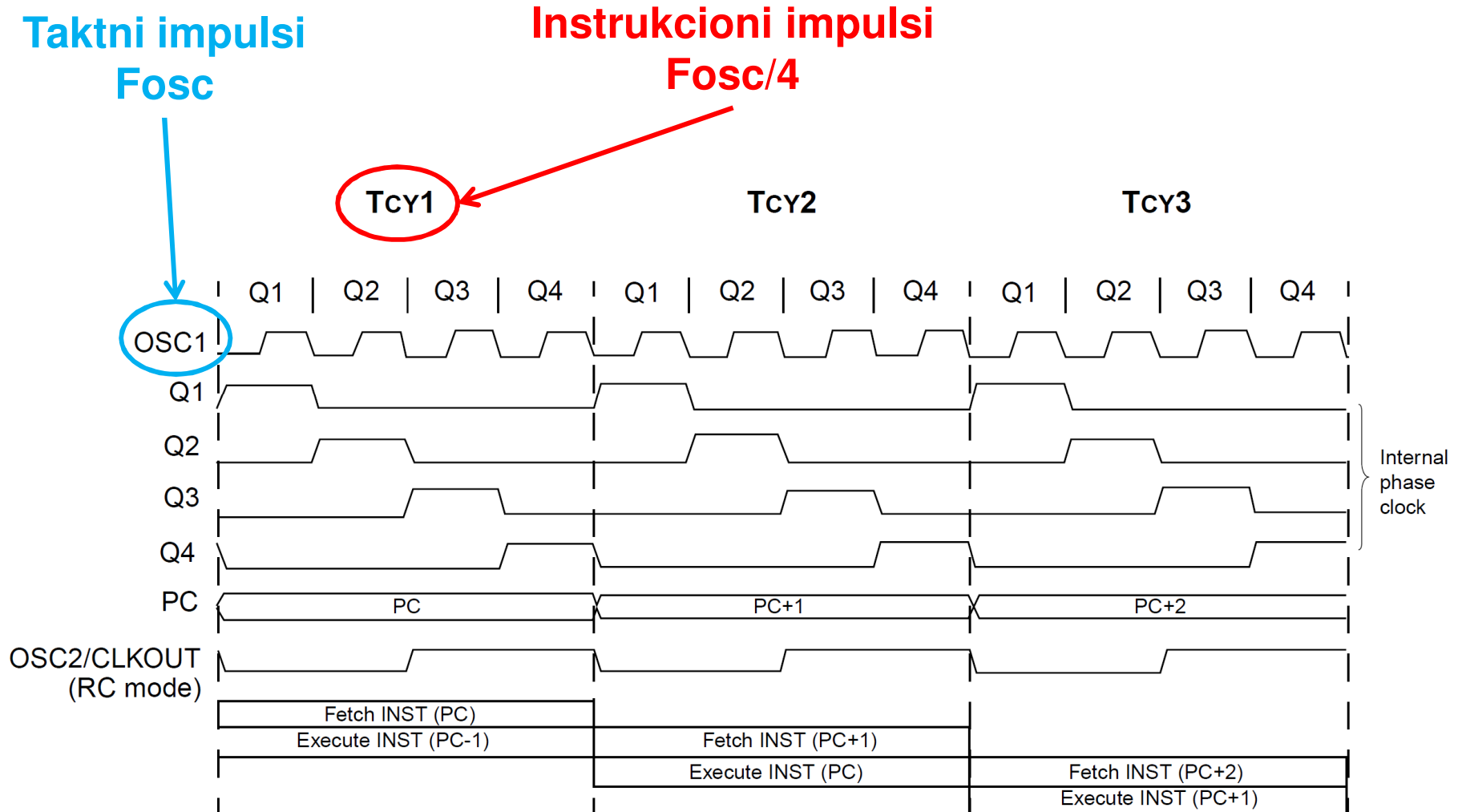
- **Manji broj prostih instrukcija:**
 - Proste instrukcije zahtijevaju jednostavan hardver za realizaciju pa se i brže izvršavaju
- **Direktna hardverska realizacija:**
 - Zbog malog broja prostih instrukcija kod RISC arhitektura ove instrukcije se direktno hardverski realizuju
- **Paralelizam u izvršenju instrukcija:**
 - Prilikom kompajliranja programa kompajler pronalazi instrukcije koje nisu zavisne po podacima (data dependancy) te takve instrukcije mogu imati paralelizam u toku izvršenja

RISC ARHITEKTURA: PARALELIZAM IZVRŠENJA



ARHUTEKTURA MIKROKONTROLERA

Taktni impulsi Fosc i instrukcioni impulsi Fosc/4

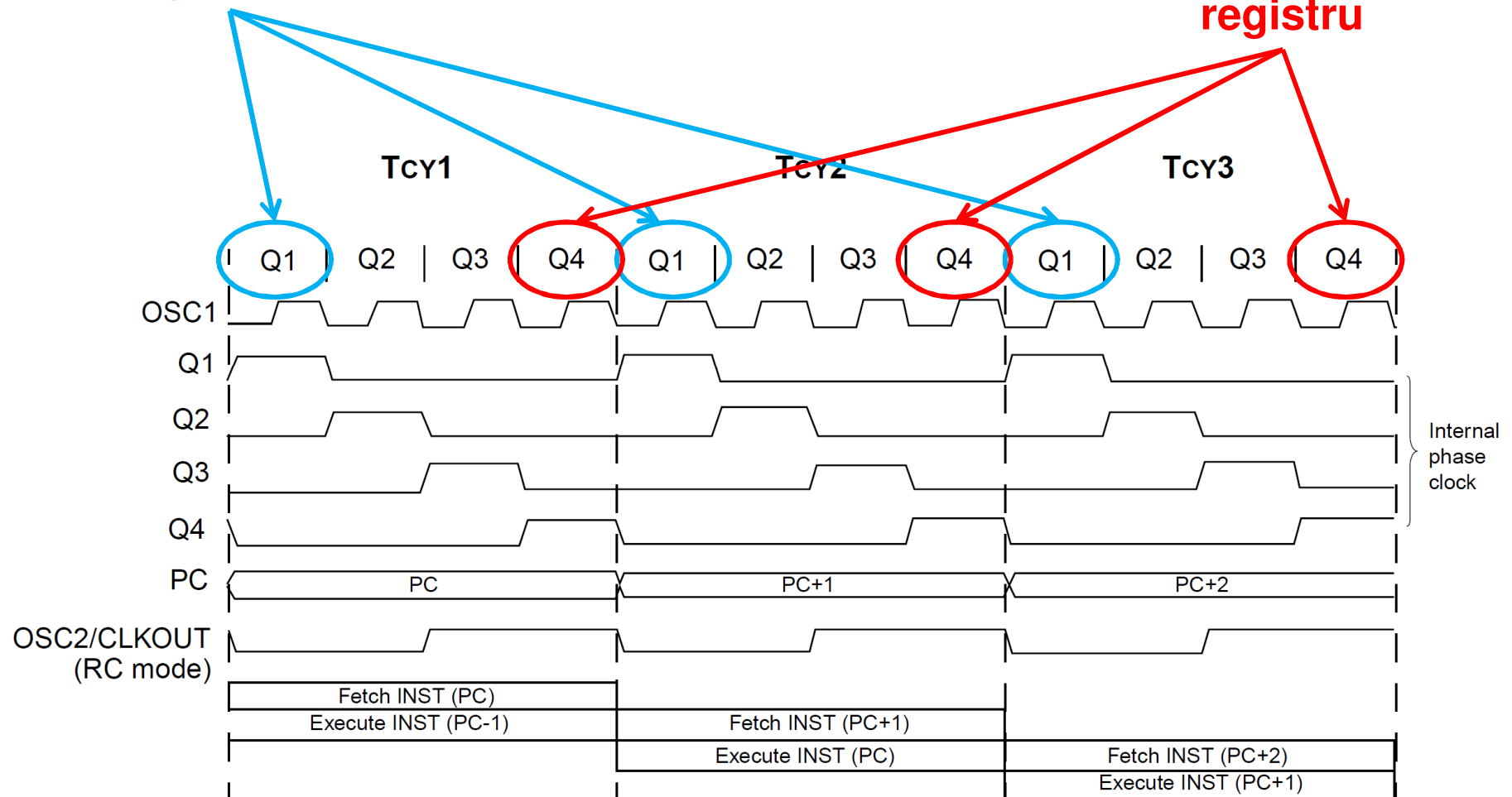


ARHITEKTURA: 4Q FAZE PRIBAVLJANJA INSTRUKCIJE

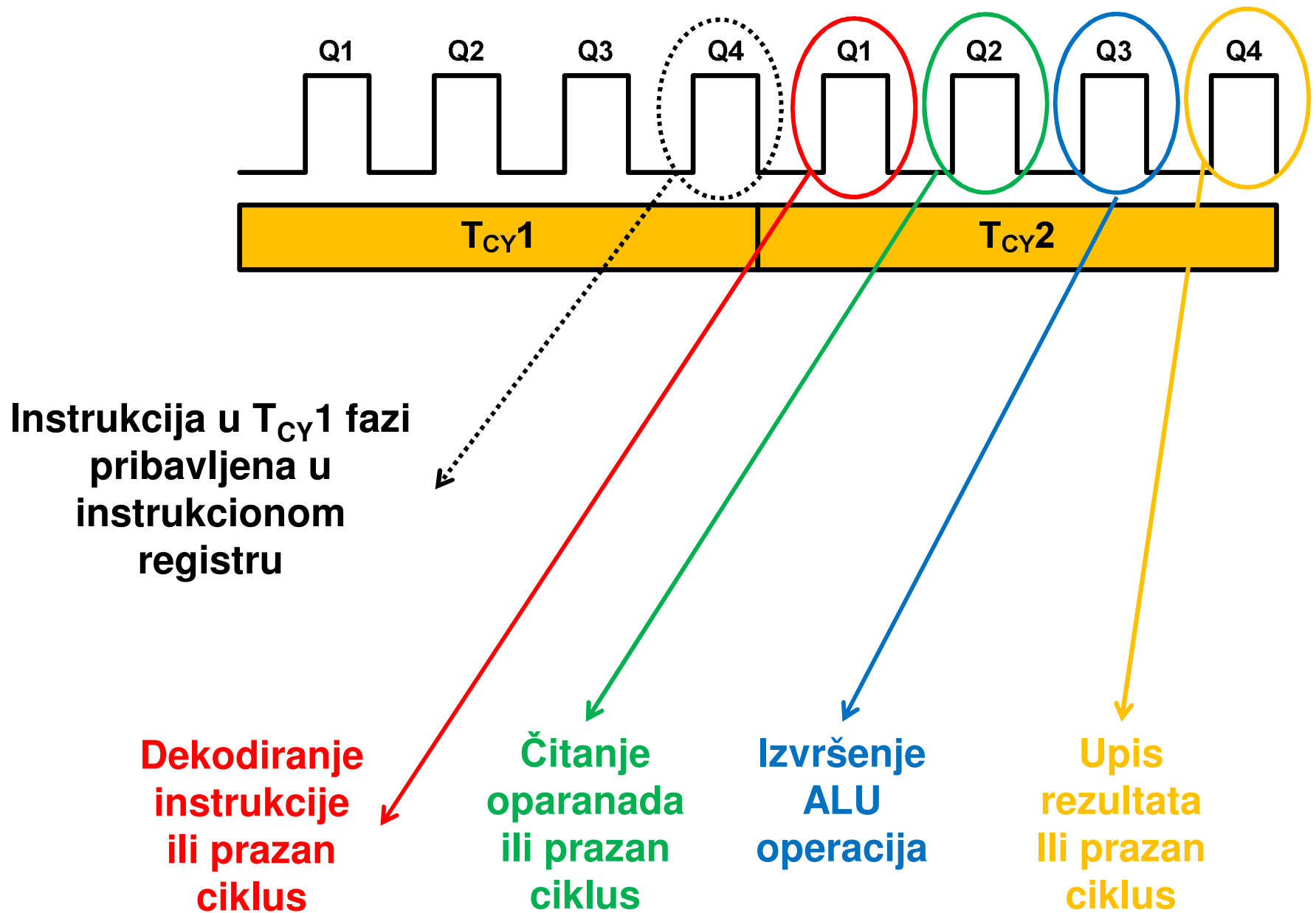
Inkrementiranje
programskog
brojača (PC)

U fazama Q2 i Q3
nema događaja

Prihvatanje
instrukcije u
instrukcionom
registru



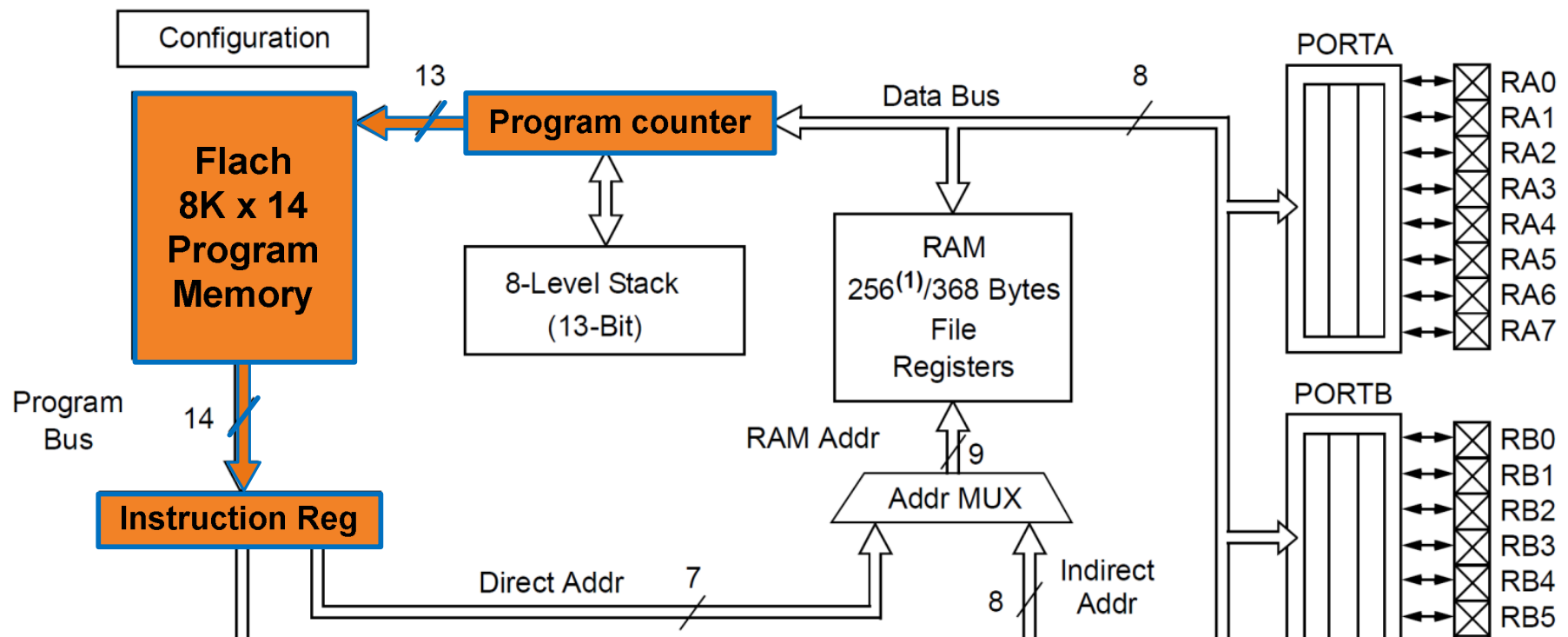
ARHITEKTURA: 4Q FAZE IZVRŠENJA INSTRUKCIJE



ARHITEKTURA: 4Q FAZE PRIBAVLJANJA INSTRUKCIJE

Pribavljanje instrukcije: **ADDWF 0x20,F**

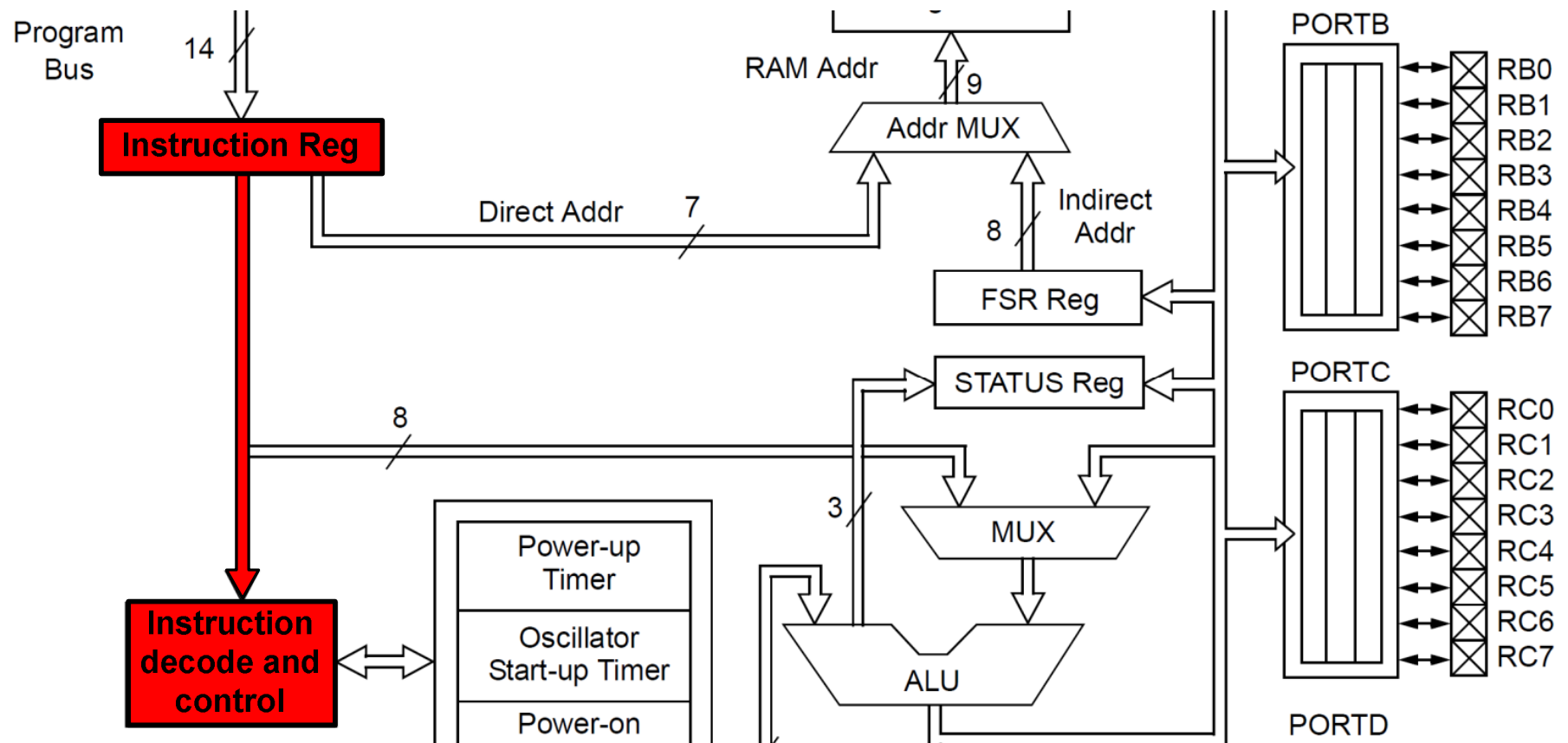
FETCH:Q1, Q2, Q3,Q4



ARHITEKTURA: 4Q FAZE IZVRŠENJA INSTRUKCIJE

Izvršenje instrukcije: **ADDWF 0x20,F**

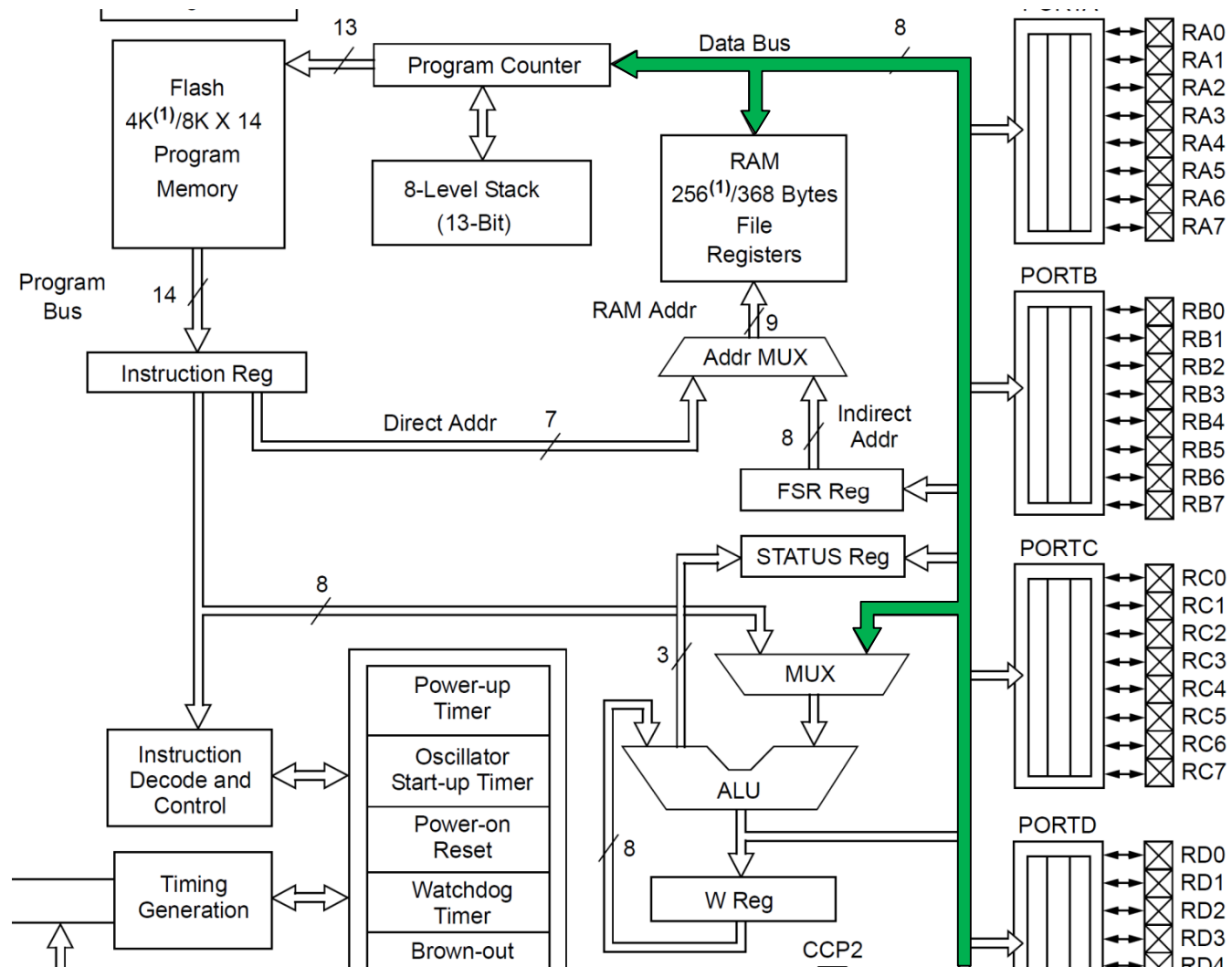
Q1 – DEKODIRANJE INSTRUKCIJE



ARHITEKTURA: 4Q FAZE IZVRŠENJA INSTRUKCIJE

Izvršenje instrukcije: **ADDWF 0x20,F**

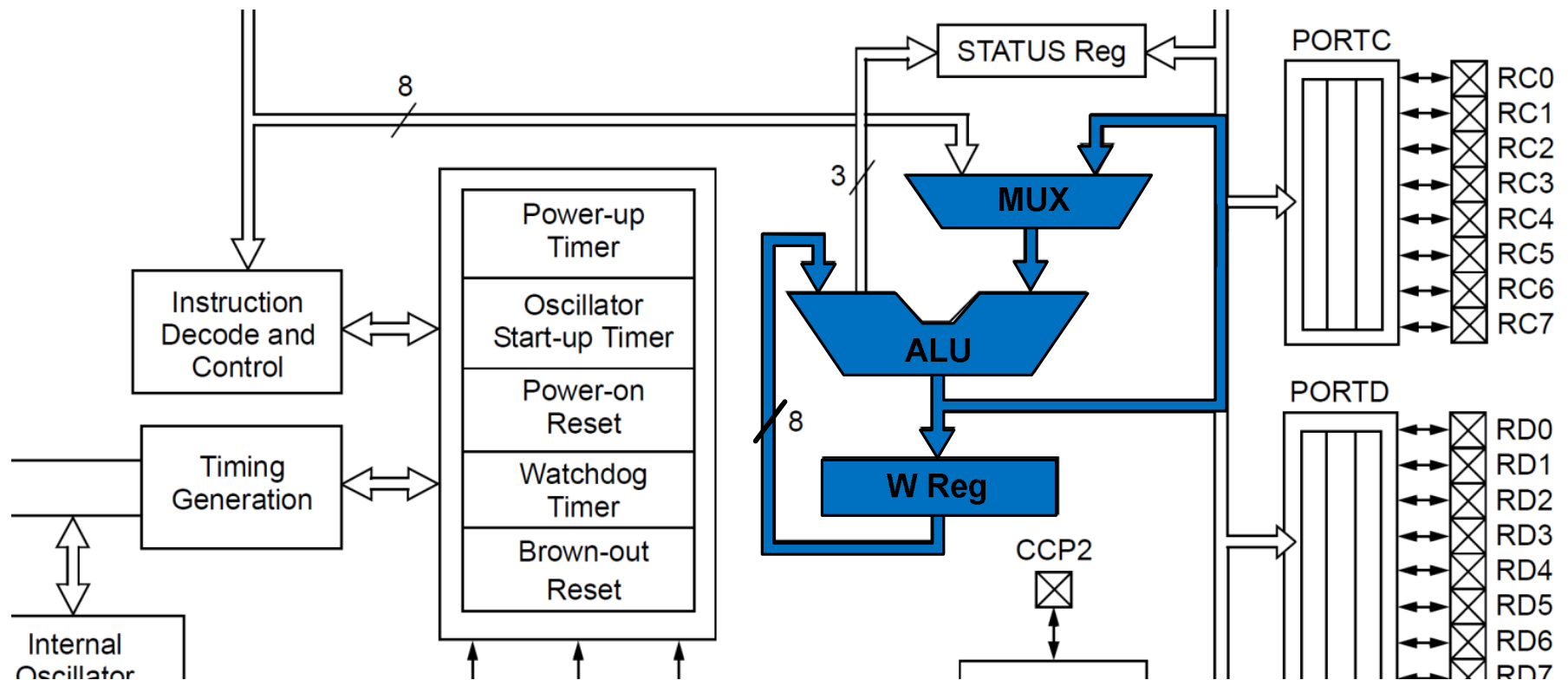
Q2 – ČITANJE IZVORIŠNIH OPEARANADA



ARHITEKTURA: 4Q FAZE IZVRŠENJA INSTRUKCIJE

Izvršenje instrukcije: **ADDWF 0x20,F**

Q3 – IZVRŠAVANJE ALU OPERACIJA



ARHITEKTURA: 4Q FAZE IZVRŠENJA INSTRUKCIJE

Izvršenje instrukcije: **ADDWF 0x20,F**

Q4 – UPIS REZULTATA U ODREDIŠNI REGISTAR

