

MODUL SERIJSKOG SINHRONOG PORTA: **MSSP**

- **MSSP (Master Synchronous Serial Port)** je nasloženiji modul mikrokontrolera
- Preko malog broja linija (dvije/tri) može prenijeti podatke velikom brzinom
- Koristi se za povezivanje mikrokontrolera sa LCD displejima A/D konvertorima, serijskim EEPROM-ima....
- Glavna karakteristika je sinhroni pronos podataka koji se obezbijuje taktom signala za sinhronizaciju
- Uređaj koji šalje takt signal zove se master a ostali uređaji na komunikacionoj liniji zovu su slave uređaji
- MSSP modul može da radi u dva osnovna moda:
 - SPI – mod (Serial Periferal Interface)
 - I2C – mod (Inter – Integrated Interface)

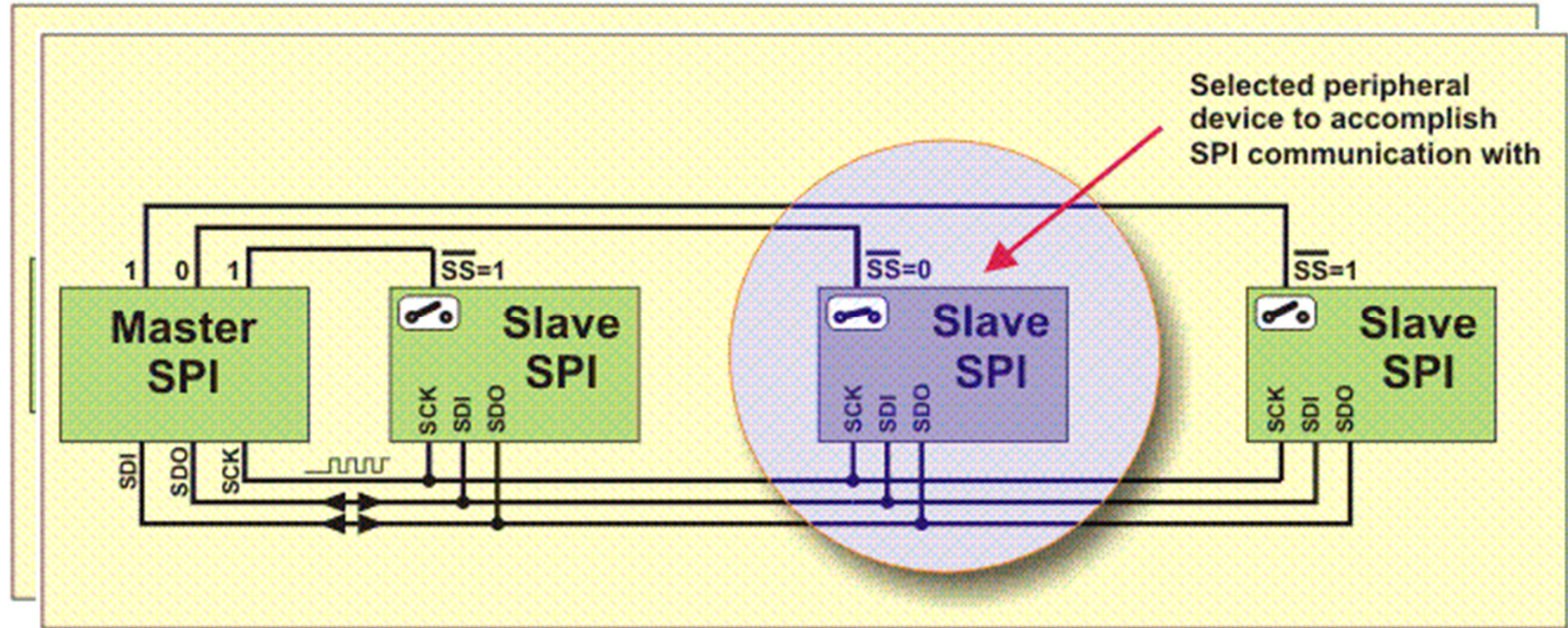
MODUL SERIJSKOG SINHRONOG PORTA: **MSSP**

- Najčešće je mikrokontroler taj koji koji kontroliše neke vanjske uređaje ili periferale pa se on u MSSP komunikaciji konfigurira kao master

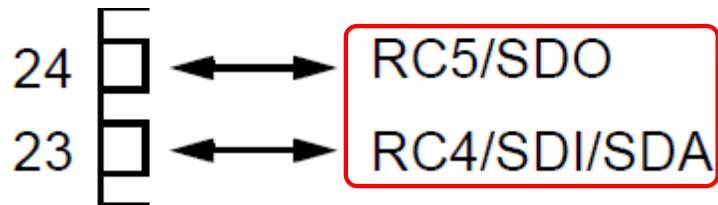


SINHRONA SERIJSKA KOMUNIKACIJA u **SPI** modu

- U SPI modu 8-bitni podaci se šalju i primaju preko tri U/I linije:
- SDO – serial data out – linija za slanje podataka
- SDI – serial data In – linija za prijem podataka
- SCK – serial Clock – linija za sinhronizacioni takt
- Dodatna linija SS – Slave Select koristi se kada mikrokontroler (Master) razmijenjuje podatke sa više perifernih uređaja (slave)

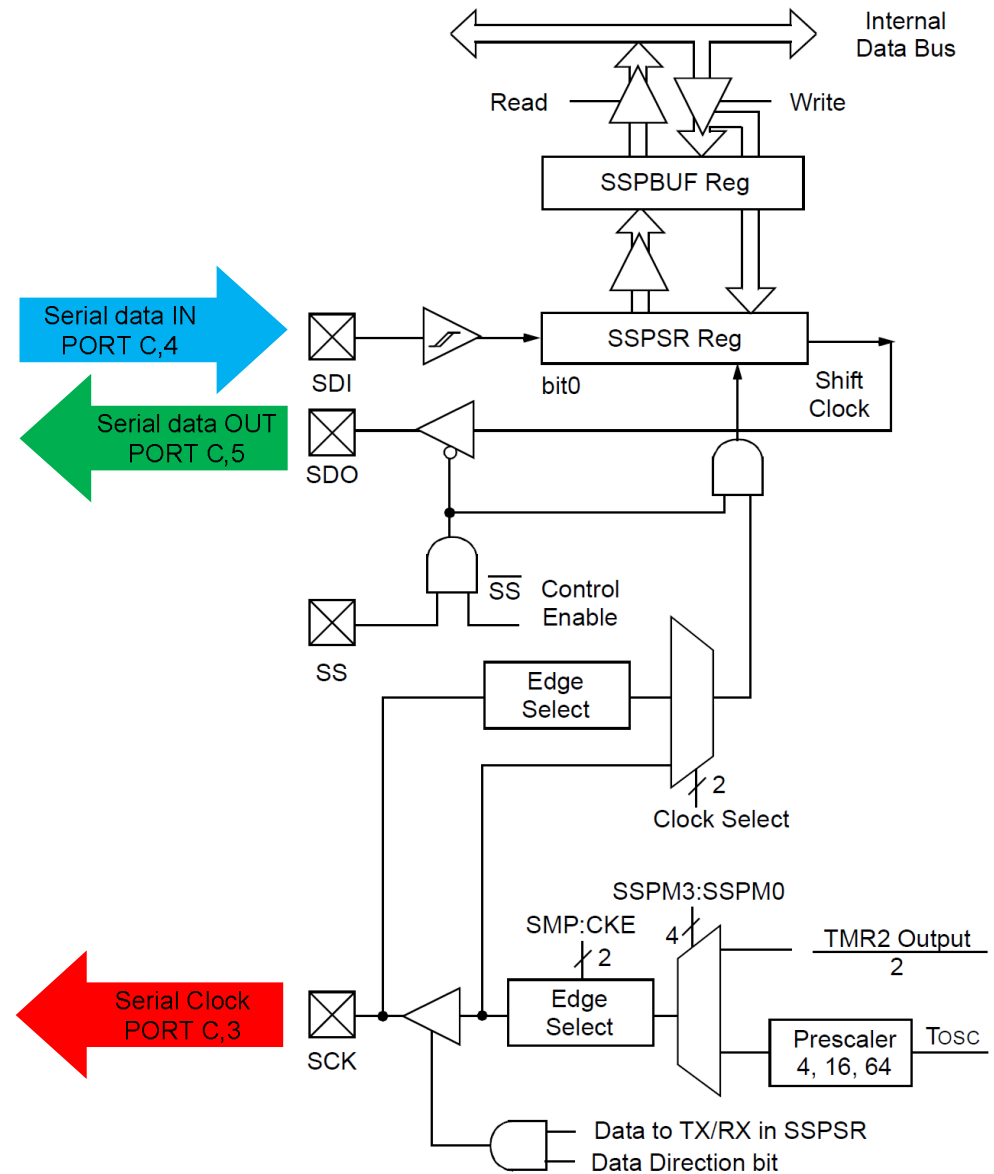


SPI master mod - konfiguracija pinova

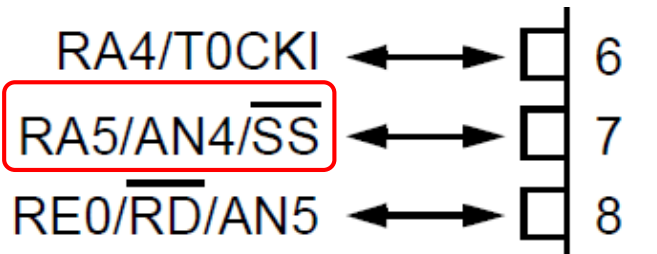
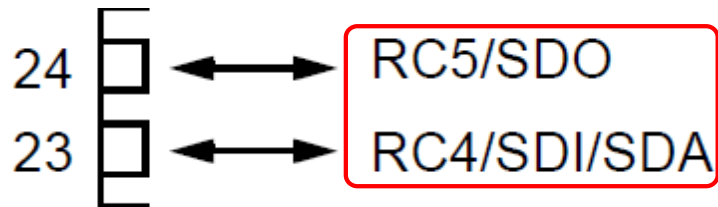


Master:

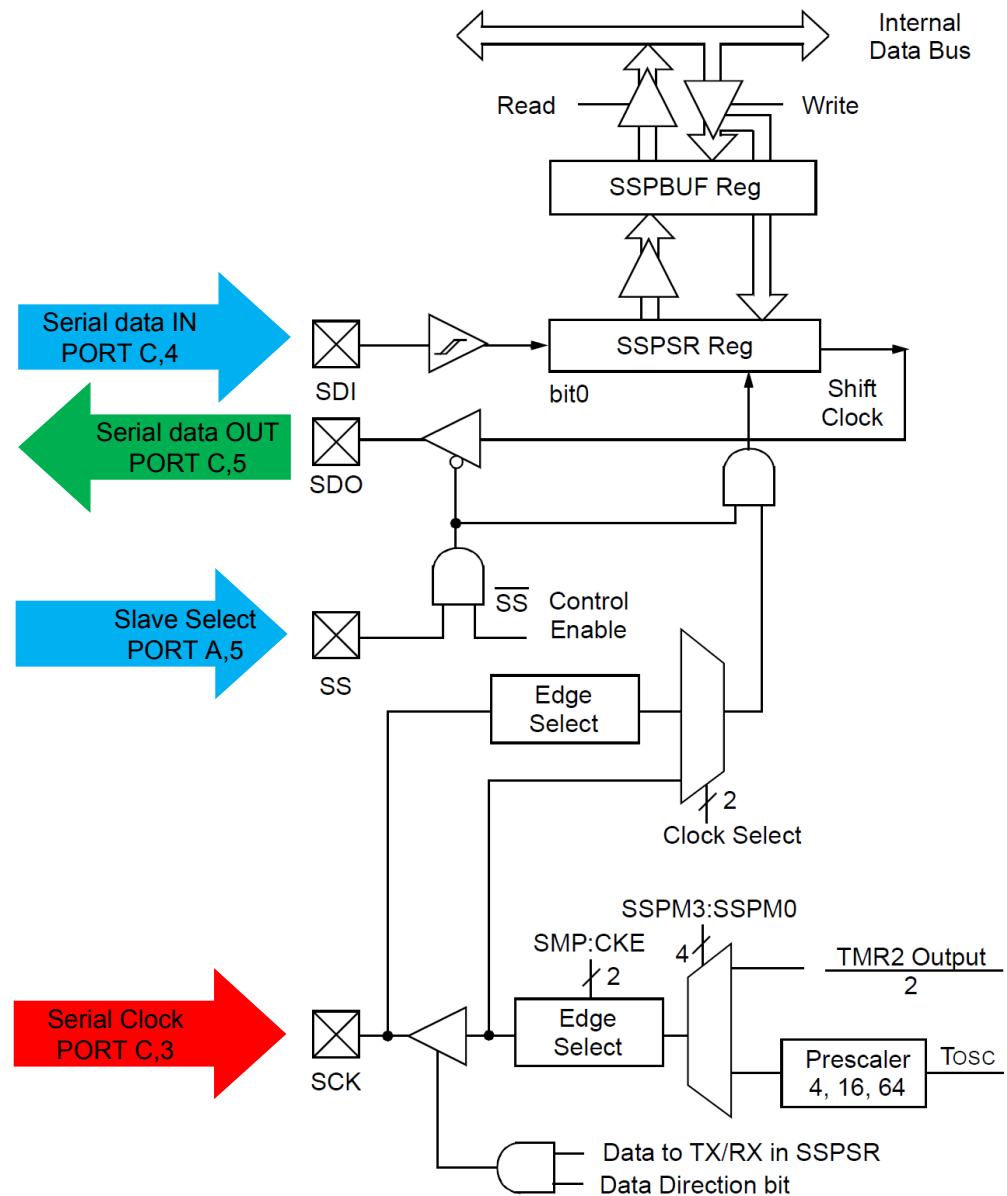
TRISC,5=0; izlazni pin
TRISC,3=0; izlazni pin



SPI slave mod - konfiguracija pinova

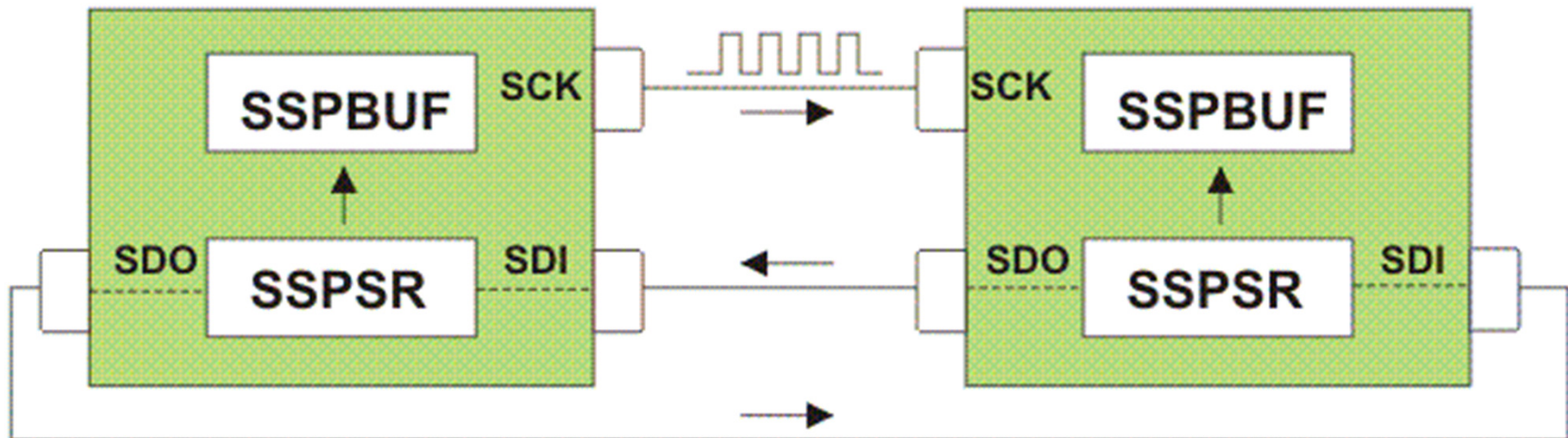


Slave:
 TRISC,5=0; izlazni pin
 TRISC,3=1; ulazni pin
 TRISA,5=1; ulazni pin



SINHRONA SERIJSKA KOMUNIKACIJA u **SPI** modu

- Za rad u SPI modu MSSP modul koristi 4 registra:
- SSPSTAT – statusni registar
- SSPCON – kontrolni registar
- SSPSR – pomjerački registar (nije moguć pristup)
- SSBUF – bafer podataka – privremena memorija u koju se smješta podatak neposredno prije slanja odnosno odmah po prijemu
- SSBUF – registru se najčešće pristupa (upis/čitanje)



SPI mod – SSPSTAT registar

	R/W (0)	R/W (0)	R/W (0)	R/W (0)	R/W (0)	R/W (0)	R/W (0)	R/W (0)
SSPSTAT	SMP	CKE	D/A	P	S	R/W	UA	BF
	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0

- **SMP – Sample bit**

U SPI master modu određuje trenutak u kome se očitava logičko stanje na prijemnoj liniji

1 – Logičko stanje se očitava na kraju impulsa

0 – Logičko stanje se očitava u sredini impulsa

- **CKE – Clock Edge Select bit**

Ako je bit CKP=0

1 – Bit podatka se šalje nailaskom uzlazne ivice taktnog impulsa

0 – Bit podatka se šalje nailaskom silazne ivice taktnog impulsa

Ako je bit CKP=1

1 – Bit podatka se šalje nailaskom silazne ivice taktnog impulsa

0 – Bit podatka se šalje nailaskom uzlazne ivice taktnog impulsa

SPI mod – SSPSTAT registar

SSPSTAT	R/W (0)	R/W (0)	R (0)	R (0)	R (0)	R (0)	R (0)	R (0)
	SMP	CKE	D/A	P	S	R/W	UA	BF
	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0

- **BF – Buffer Full Status bit**

U toku prijema podataka u SPI modu

1 – Prijem je završen. Registar SSPBUF je popunjen

0 – Prijem nije završen. Registar SSPBUF je prazan

SPI mod – SSPCON registar

	R/W (0)	R/W (0)	R/W (0)	R/W (0)	R/W (0)	R/W (0)	R/W (0)	R/W (0)
SSPCON	WCOL	SSPOV	SSPEN	CKP	SSPM3	SSPM2	SSPM1	SSPM0
	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0

- **WCOL – Write Collision Detect bit**

1 - U toku slanja podataka došlo je do kolizije. U SSPBUF registar upisan je novi podatak prije nego što su se stekli uslovi za slanje ili prije nego što je poslat prethodni podatak

0 – U toku slanja podataka nije došlo do kolizije

- **SSPOV – Receive overflow Indicator bit**

1- Novi bajt je primljen, a SSPBUF nije ispražnjen i sadrži prethodno primljene podatke. Sadržaj podataka u SSPSR registru biće nepovratno izgubljen.

0 – serijski podatak je ispravno primljen

SPI mod – SSPCON registar

	R/W (0)	R/W (0)	R/W (0)	R/W (0)	R/W (0)	R/W (0)	R/W (0)	R/W (0)
SSPCON	WCOL	SSPOV	SSPEN	CKP	SSPM3	SSPM2	SSPM1	SSPM0
	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0

- **SSPEN – Synchronous Serial Port Enable bit**

Omogućava rad MSSP modula

U SPI modu

1 – Omogućava rad modula i dodjeljuje mu pinove SCK, SDO, SDI i SS

0 – Isključuje MSSP modul i pinove SCK, SDO, SDI i SS se mogu koristiti kao I/O pinovi opšte namjene

- **CKP – Clock Polarity Select bit**

U SPI modu

1 – neaktivno stanje kada je signal takta na visokom logičkom nivou

0 - neaktivno stanje kada je signal takta na niskom logičkom nivou

SPI mod – SSPCON registar

	R/W (0)	R/W (0)	R/W (0)	R/W (0)	R/W (0)	R/W (0)	R/W (0)	R/W (0)
SSPCON	WCOL	SSPOV	SSPEN	CKP	SSPM3	SSPM2	SSPM1	SSPM0
	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0

- SSPM3 – SSPM0 Synchronous Serial Port Master Mode Select bit**

SSPM3	SSPM2	SSPM1	SSPM0	Način rada
0	0	0	0	SPI master mod, $CLK = F_{osc}/4$
0	0	0	1	SPI master mod, $CLK = F_{osc}/16$
0	0	1	0	SPI master mod, $CLK = F_{osc}/64$
0	0	1	1	SPI master mod, $CLK = (izlaz\ TMR2)/2$
0	1	0	0	SPI slave mod, omogućena kontrola rada pomoću pina SS
0	1	0	1	SPI slave mod, SS pin ne kontroliše rad i može da se koristi kao standardni I/O pin

SPI mod konfiguracija interapt moda - INTCON registar

	R/W (0)	R/W (0)	R/W (0)	R/W (0)	R/W (0)	R/W (0)	R/W (0)	R/W (X)
INTCON	GIE	PEIE	T0IE	INTE	RBIE	T0IF	INTF	RBIF
	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0

- **GIE – Global Enable Interrupt bit**

Upravlja svim potencijalnim izvorima interapta.

1 – Omogućava svaki intarapt koji nije zabranjen svojim IE (Interrupt Enable) bitom

0 – Zabranjen svaki interapt

- **PEIE – Peripheral Interrupt Enable bit**

Kontroliše interapte koji potiču samo od perifernih modula.

1 – Omogućava svaki intarapt koji je izazvan radom perifernih modula i nije onemogućen kontrolnim IF bitom

0 – Zabranjuje svaki interapt izazvan od strane perifernog modula

SPI mod konfiguracija interapt moda – PIE1 registar

PIE1	R/W (0)							
	-	ADIE	RCIE	TXIE	SSPIE	CCPIE	TMR2IE	TMR1IE
	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0

- **SSPIE – Synchronous Serial Port Interrupt Enable bit**

Omogućava generisanje zahtijeva za interapt svaki put kada MSSP modul završi prenos podataka

1 – doći će do generisanja zahtijeva za prekid

0 - neće doći do generisanja zahtijeva za prekid

SPI mod konfiguracija interapt moda – PIR1 registar

PIR1		R/W(0)	R (0)	R (0)	R/W (0)	R/W (0)	R/W (0)	R/W (0)
	-	ADIF	RCIF	TXIF	SSPIF	CCP1IF	TMR2IF	TMR1IF
	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0

- **SSPIF – Master Synchronous Serial Port Interrupt Flag bit**

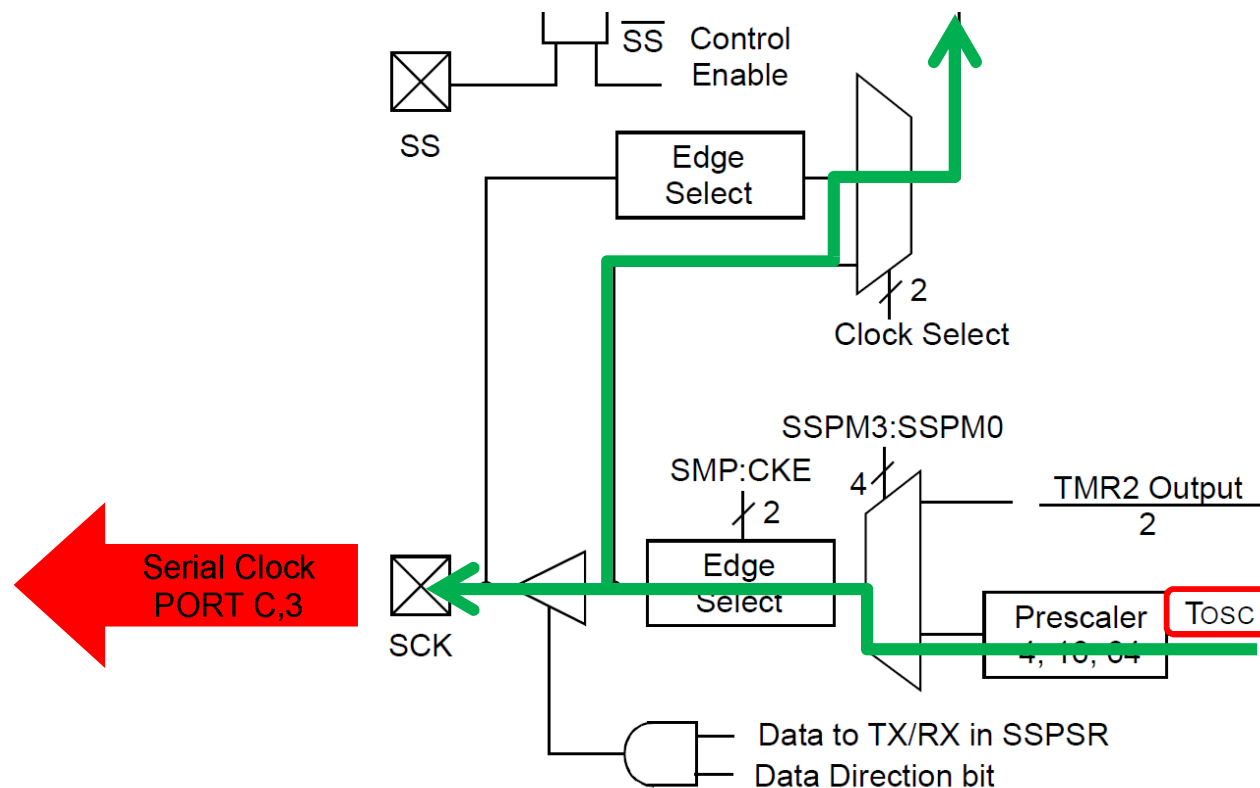
1 – ispunjeni su uslovi za pojavu interapta u toku prijema/slanja podataka sa MSSP modulom. U interapt rutini za obradu prekida ovaj bit se mora softverski resetovati

0 – nisu se stekli uslovi za pojavu interapta MSSP modula

SPI master mod konfiguracija takta

- SSPM3 – SSPM0 Synchronous Serial Port Master Mode Select bit

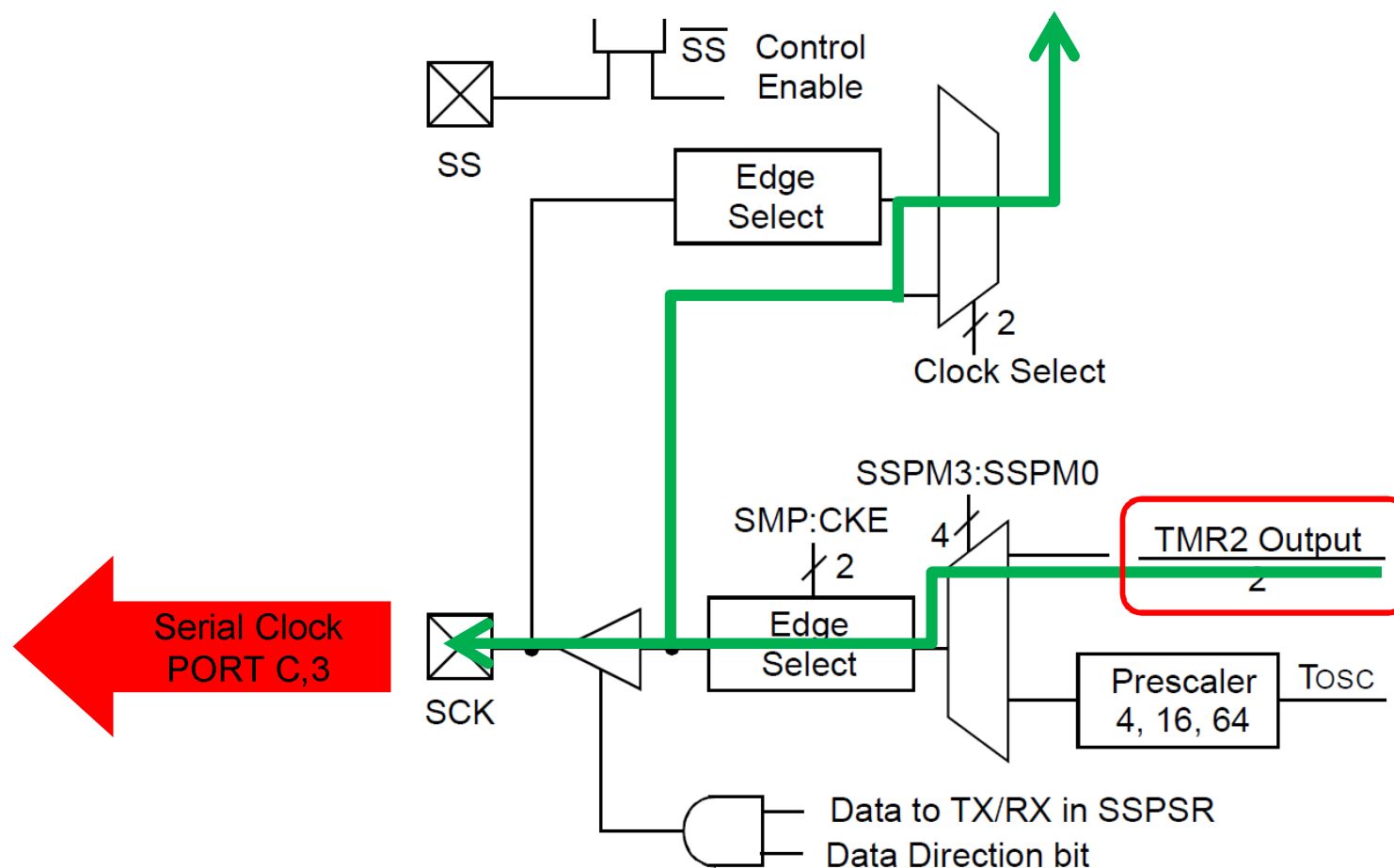
SSPM3	SSPM2	SSPM1	SSPM0	Način rada
0	0	0	0	SPI master mod, CLK=Fosc/4
0	0	0	1	SPI master mod, CLK=Fosc/16
0	0	1	0	SPI master mod, CLK=Fosc/64



SPI master mod konfiguracija takta

- SSPM3 – SSPM0 Synchronous Serial Port Master Mode Select bit

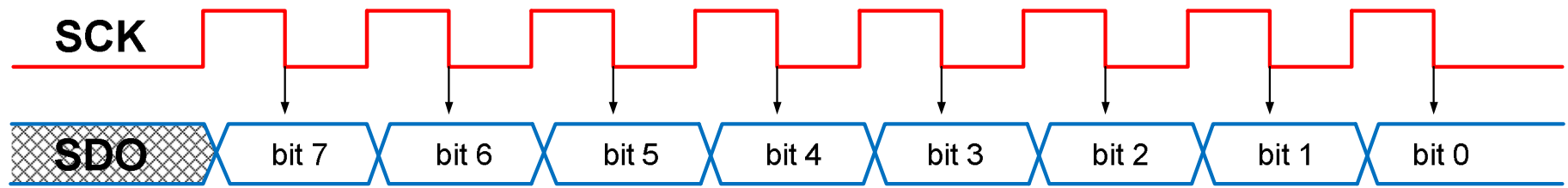
SSPM3	SSPM2	SSPM1	SSPM0	Način rada
0	0	1	1	SPI master mod, CLK=(izlaz TMR2)/2



SPI master mod vremenski dijagram slanja podataka

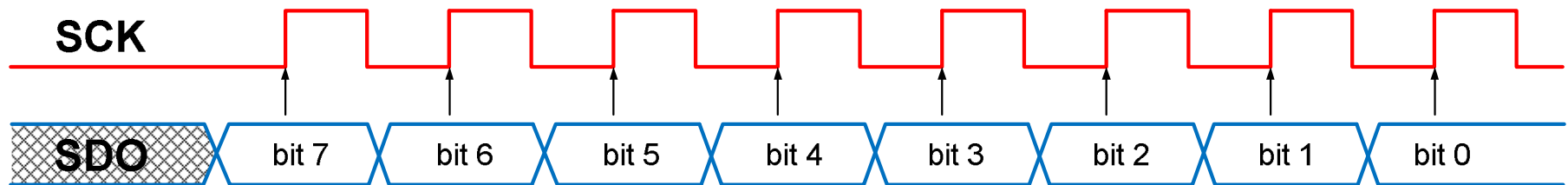
CKP = 0, CKE = 0

- Neaktivno stanje kada je signal takta na **niskom** logičkom nivou
- Slanje podataka na **silaznu** ivicu takta



CKP = 0, CKE = 1

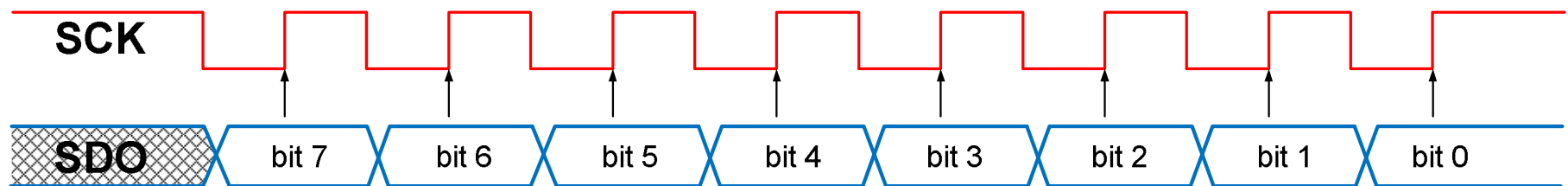
- Neaktivno stanje kada je signal takta na **niskom** logičkom nivou
- Slanje podataka na **uzlaznu** ivicu takta



SPI master mod vremenski dijagram slanja podataka

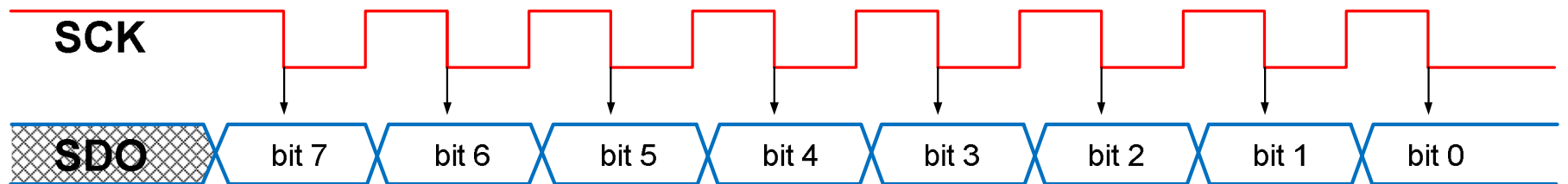
CKP = 1, CKE = 0

- Neaktivno stanje kada je signal takta na **visokom** logičkom nivou
- Slanje podataka na **uzlaznu** ivicu takta



CKP = 1, CKE = 1

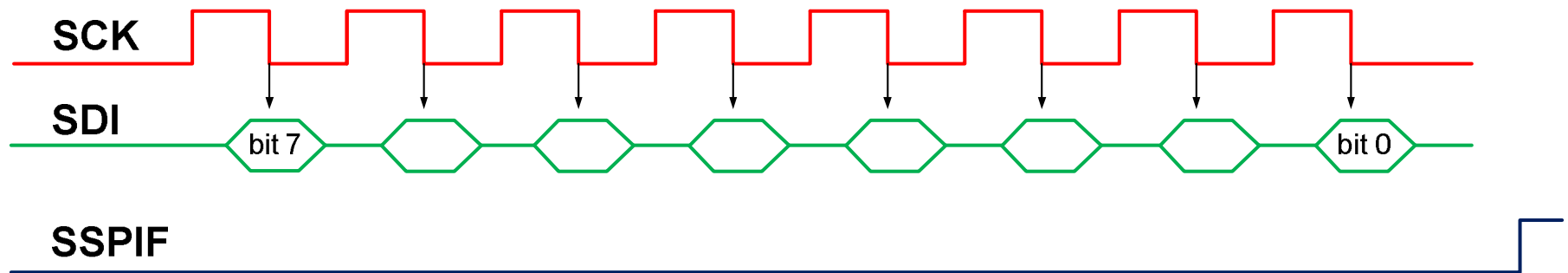
- Neaktivno stanje kada je signal takta na **visokom** logičkom nivou
- Slanje podataka na **silaznu** ivicu takta



SPI master mod vremenski dijagram prijem podataka

CKP = 0, CKE = 0, SMP = 0

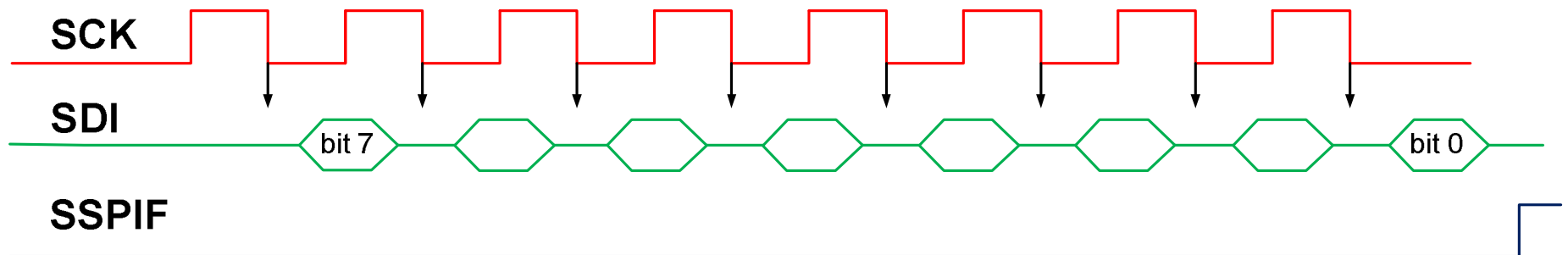
- Neaktivno stanje kada je signal takta na **niskom** logičkom nivou
- Prijem podataka na **silaznu** ivicu takta
- Logičko stanje primljenog bita se uzima na **sredini** impulsa



SPI master mod vremenski dijagram prijem podataka

CKP = 0, CKE = 0, SMP = 1

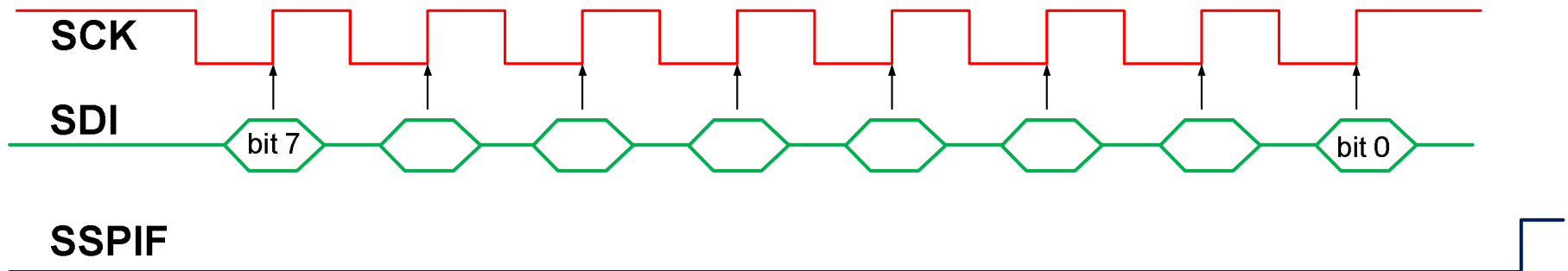
- Neaktivno stanje kada je signal takta na **niskom** logičkom nivou
- Prijem podataka na **silaznu** ivicu takta
- Logičko stanje primljenog bita se uzima na **kraju** impulsa



SPI master mod vremenski dijagram prijem podataka

CKP = 1, CKE = 0, SMP = 0

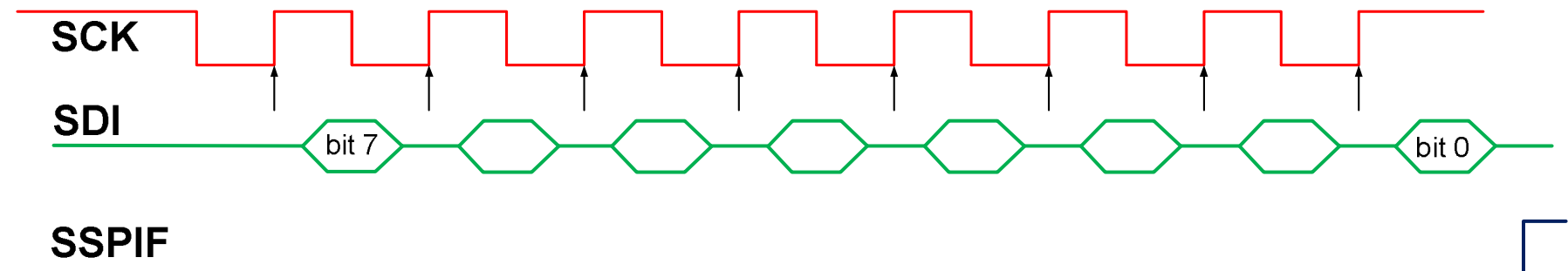
- Neaktivno stanje kada je signal takta na **visokom** logičkom nivou
- Prijem podataka na **uzlazne** ivice takta
- Logičko stanje primljenog bita se uzima na **sredini** impulsa



SPI master mod vremenski dijagram prijem podataka

CKP = 1, CKE = 0, SMP = 1

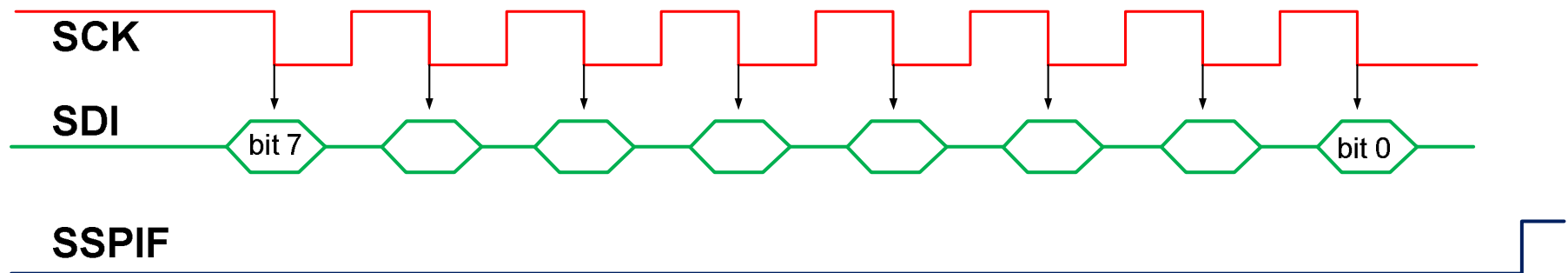
- Neaktivno stanje kada je signal takta na **visokom** logičkom nivou
- Prijem podataka na **uzlazne** ivice takta
- Logičko stanje primljenog bita se uzima na **kraju** impulsa



SPI master mod vremenski dijagram prijem podataka

CKP = 1, CKE = 1, SMP = 0

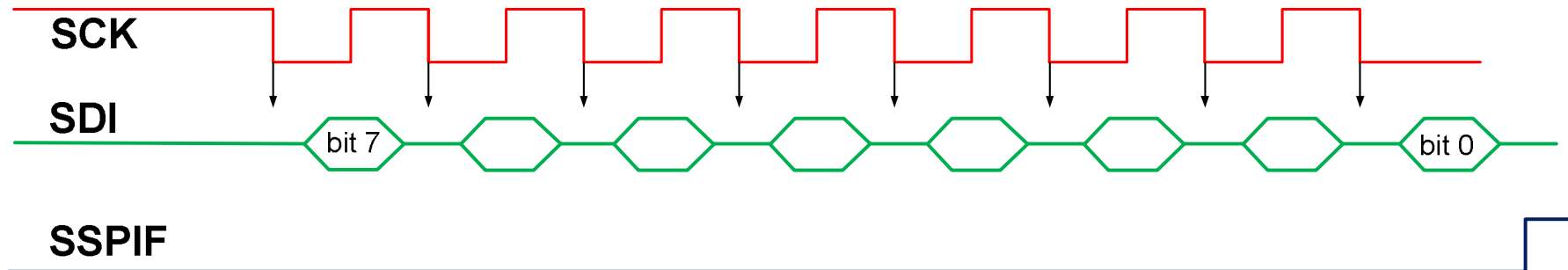
- Neaktivno stanje kada je signal takta na **visokom** logičkom nivou
- Prijem podataka na **silazne** ivice takta
- Logičko stanje primljenog bita se uzima na **sredini** impulsa



SPI master mod vremenski dijagram prijem podataka

CKP = 1, CKE = 1, SMP = 1

- Neaktivno stanje kada je signal takta na **visokom** logičkom nivou
- Prijem podataka na **silazne** ivice takta
- Logičko stanje primljenog bita se uzima na **kraju** impulsa

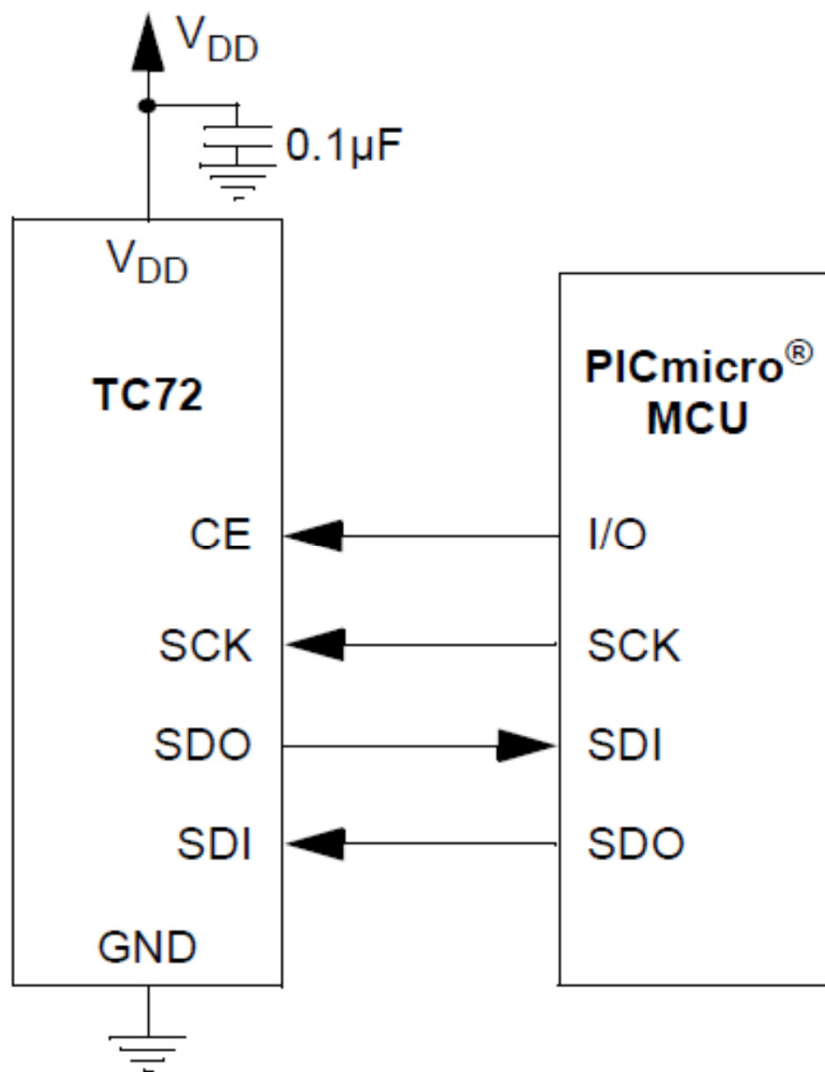


SPI master mod konfiguracija

Na osnovu kojih podataka pravilno konfigurisati SPI master komunikaciju?

- Iz datasheet-a **slave komponente** sa kojom želimo uspostaviti SPI komunikaciju pronađemo maksimalnu **frekvenciju takta f_{CLK}** koju slave komponenta podržava
- Iz datasheet-a **slave komponente** proučimo vremenski dijagram promjene signala **SCK, SDI i SDO**
- Na osnovu navedenih parametara odredimo vrijednosti bitova **CKP, CKE, SMP, SSPM3 – SSPM0** u odgovarajućim konfiguracionim registrima MSSP modula

SPI master mod konfiguracija primjer: TC 72 temp. senzor



Povezivanje TC 72 sa mikrokontrolerom

SPI master mod konfiguracija primjer: TC 72 temp. senzor

- Određivanje vrijednosti bitova **SSPM3 – SSPM0** i podešavanje brzine SPI komunikacije na osnovu maksimalne radne frekvencije SPI moda **slave** komponente

Parameters	Sym	Min	Typ	Max	Units
Serial Port AC Timing (Note 2, 3)					
Clock Frequency	f_{CLK}	DC	—	7.5	MHz

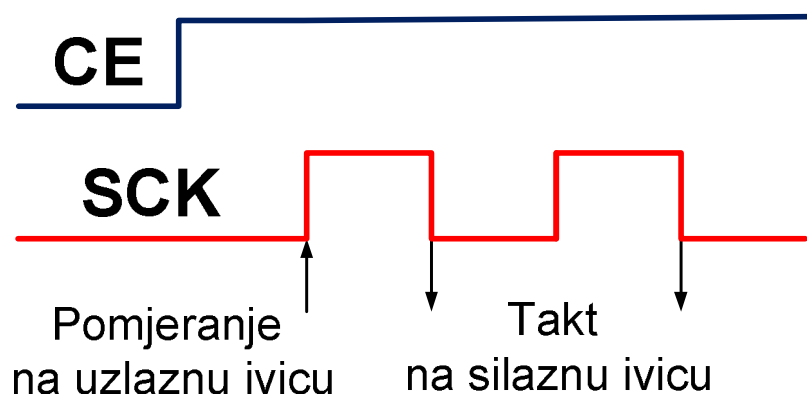
SSPM3	SSPM2	SSPM1	SSPM0	Izbor radne frekvencije za $f_{osc}=20\text{MHz}$
0	0	0	0	$f_{CLK}=20/4=5\text{ MHz}$
0	0	0	1	$f_{CLK}=20/16=1.25\text{ MHz}$
0	0	1	0	$f_{CLK}=20/64=0.3125\text{ MHz}$

	R/W (0)	R/W (0)	R/W (0)	R/W (0)	R/W (0)	R/W (0)	R/W (0)	R/W (0)
SSPCON	X	X	X	X	0	0	0	1
	WCOL	SSPOV	SSPEN	CKP	SSPM3	SSPM2	SSPM1	SSPM0

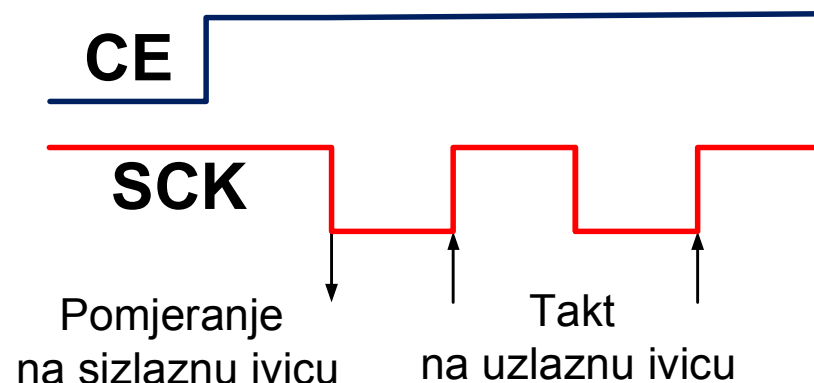
SPI master mod konfiguracija primjer: TC 72 temp. senzor

- TC 72 temp. senzor omogućava SPI komunikaciju kada je neaktivno stanje takt signala (**CKP = 1** ili **CKP = 0**) na visokom/niskom logičkom nivou

CKP=0



CKP=1



SPI master mod konfiguracija primjer: TC 72 temp. senzor

- Radni režimi TC 72 temp. Senzora

Mode	CE	SCK (Note 1)	SDI	SDO
Disable	L	Input Disabled	Input Disabled	High Z
Write (A7 = 1)	H	CP=1, Data Shifted on Falling Edge, Data Clocked on Rising Edge	Data Bit Latch	High Z
		CP=0, Data Shifted on Rising Edge, Data Clocked on Falling Edge		
Read (A7 = 0)	H	CP=1, Data Shifted on Falling Edge, Data Clocked on Rising Edge	X	Next data bit shift, Note 2
		CP=0, Data Shifted on Rising Edge, Data Clocked on Falling Edge		

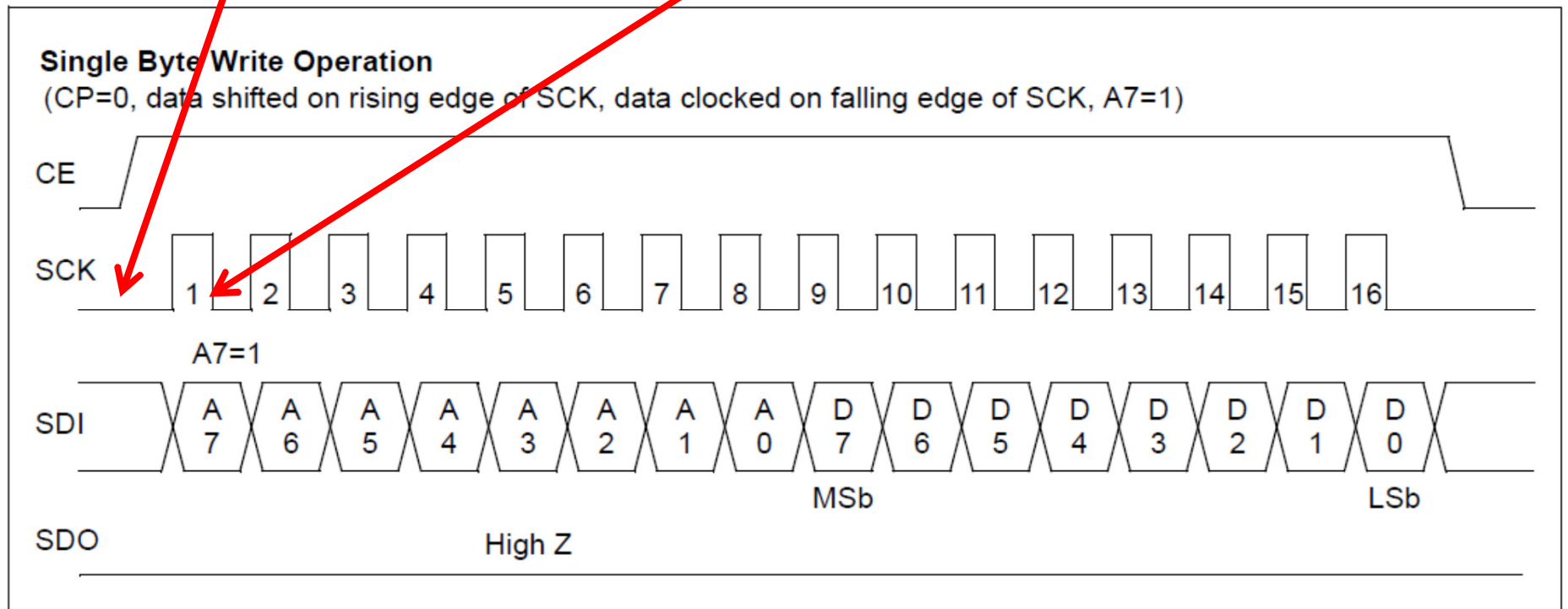
- Izaberemo **CKP = 0** – neaktivno stanje takta CLK na **niskom** logičkom nivou
- Iz tabele se može zaključiti da se prijem i predaja podataka dešava na **silaznu ivicu** takta **CKE = 0**
- Izaberemo **SMP = 0** - logičko stanje primljenog bita se uzima na **sredini** impulsa

SPI master mod konfiguracija primjer: TC 72 temp. senzor

- Vremenski dijagram prijema podataka tipa bajt
- Mikorkontroler (SDO) → TC 72 temp. Senzor (SDI)

CLK neaktivan na niskom logičkom nivou
CPK = 0

prijem bita na silaznoj ivici takta
CKE = 0

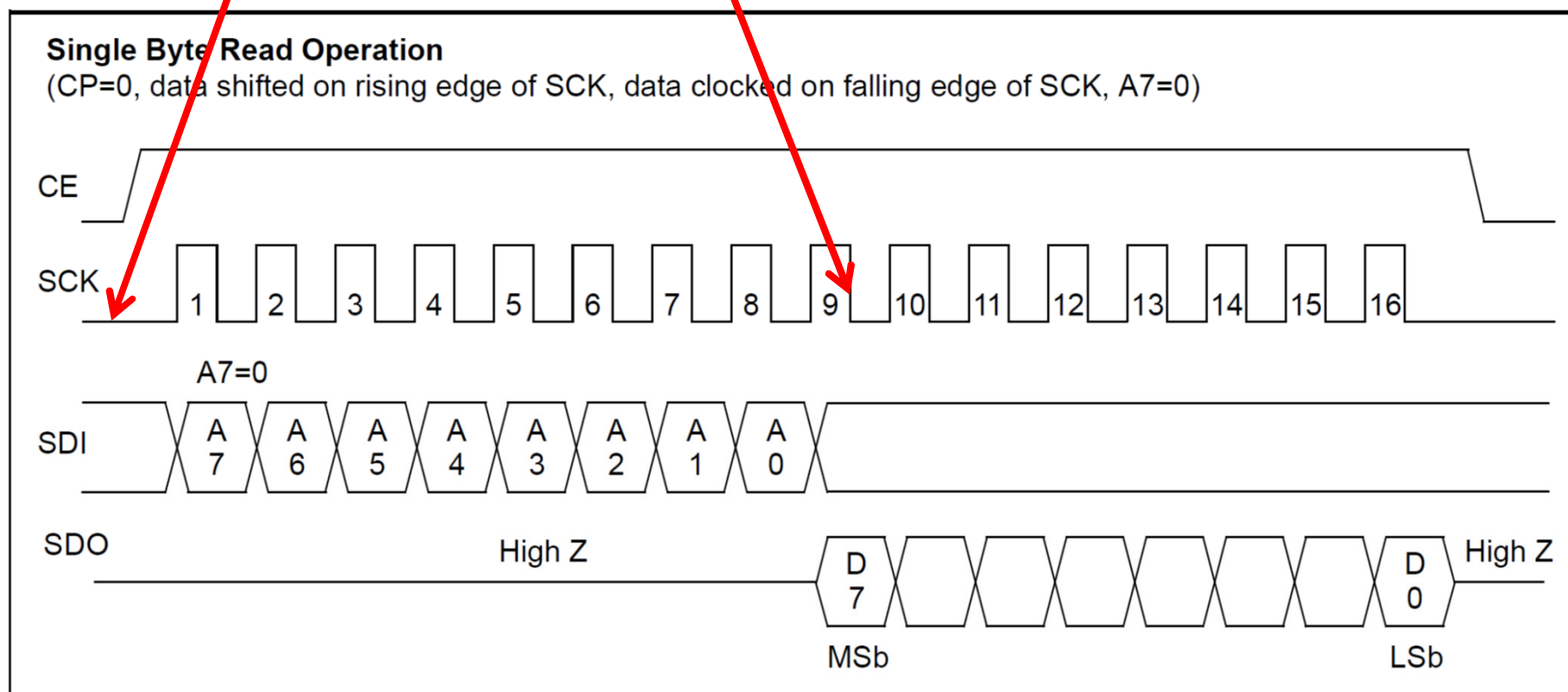


SPI master mod konfiguracija primjer: TC 72 temp. senzor

- Vremenski dijagram slanja podatka tipa bajt
- TC 72 temp. Senzor (SDO) → Mikorkontroler (SDI)

CLK neaktivan na niskom logičkom nivou
CKP = 0

slanje bita na silaznoj ivici takta
CKE = 0



SPI master mod konfiguracija primjer: TC 72 temp. senzor

- Podešavanje **SSPCON** registra za SPI komunikaciju
- **SSPEN** = 1 - omogućava se rad MSSP modula
- **CKP** = 0 - neaktivno stanje kada je signal takta na niskom logičkom nivou

	R/W (0)	R/W (0)	R/W (0)	R/W (0)	R/W (0)	R/W (0)	R/W (0)	R/W (0)
SSPCON	0	0	1	0	0	0	0	1
	WCOL	SSPOV	SSPEN	CKP	SSPM3	SSPM2	SSPM1	SSPM0

- Podešavanje **SSPSTAT** registra za SPI komunikaciju
- **SMP** = 0 – logičko stanje na prijemnoj liniji se očitava u sredini impulsa
- **CKE** = 0 - Bit podatka se šalje nailaskom silazne ivice taktnog impulsa

	R/W (0)	R/W (0)	R (0)	R (0)	R (0)	R (0)	R (0)	R (0)
SSPSTAT	0	0	0	0	0	0	0	0
	SMP	CKE	D/A	P	S	R/W	UA	BF

SPI master mod konfiguracija primjer: TC 72 temp. senzor

- Inicijalizacija SPI komunikacije u C

```
• void InitSPI()
{
    TRISC_bit = 3; // Set RC3/SCK/SCL kao izlazni
    TRISC_bit = 5; // Set RC5/SDO kao izlazni
    SSPCON = 0b00100001;
    SSPSTAT = 0b00000000;
}
```

SPI master mod konfiguracija u mikro C - SPI biblioteka

- Inicijalizacija SPI komunikacije u mikroC uz pomoću ugrađene funkcije **SPIx_Init()** iz SPI biblioteke
- Ova funkcija konfiguriše SPI modul sa sljedećim parametrima:
 - master mod → bit **SSPEN = 1**
 - frekvencija takta $F_{osc}/4$ → bitovi **SSPM3 – SSPM0 = 0000**
 - neaktivno stanje kada je signal takta na niskom logičkom nivou → bit **CKP = 0**
 - Bit podatka se šalje nailaskom uzlazne ivice taktnog impulsa → bit **CKE = 1**
 - logičko stanje na prijemnoj liniji očitava se u sredini impulsa → bit **SMP = 0**

SPI master mod konfiguracija u mikro C - SPI biblioteka

- Pozivom funkcije **SPIdx_Init()** iz SPI biblioteke konfiguracioni registri **SSPCON** i **SSPSTAT** imaju sljedeći izgled:

	R/W (0)	R/W (0)	R/W (0)	R/W (0)	R/W (0)	R/W (0)	R/W (0)	R/W (0)
SSPCON	0	0	1	0	0	0	0	0
	WCOL	SSPOV	SSPEN	CKP	SSPM3	SSPM2	SSPM1	SSPM0

	R/W (0)	R/W (0)	R (0)	R (0)	R (0)	R (0)	R (0)	R (0)
SSPSTAT	0	1	0	0	0	0	0	0
	SMP	CKE	D/A	P	S	R/W	UA	BF

SPI master mod konfiguracija u mikro C - SPI biblioteka

- Inicijalizacija SPI komunikacije u mikroC uz pomoć funkcije **SPIx_Init()** iz SPI biblioteke

```
• void InicijalizacijaSPI()
{
    TRISC_bit = 3; // Set RC3/SCK/SCL kao izlazni
    TRISC_bit = 5; // Set RC5/SDO kao izlazni
    SPI1_Init();    // Poziv funkcije SPIx_Init();
}
```

SPI master mod konfiguracija u mikro C - SPI biblioteka

- Inicijalizacija SPI komunikacije u mikroC uz pomoću ugrađene funkcije **SPIx_Init_Advanced** iz SPI biblioteke
- Prototip ove funkcije je:
- **Void** SPIx_Init_Advanced (**unsigned short** master_slav, **unsigned short** data_sample, **unsigned short** clock_idle, **unsigned short** transmit_edge);
- Prilikom poziva funkcije potrebno je unijeti sljedeće parametre:
- master_slav
- data_sample
- clock_idle
- transmit_edge

SPI master mod konfiguracija u mikro C - SPI biblioteka

- Parametar `master_slav` određuje taktnu frekvenciju f_{osc} :

```
MASTER_OSC_DIV4    // Master clock=Fosc/4
MASTER_OSC_DIV16   // Master clock=Fosc/16
MASTER_OSC_DIV64    // Master clock=Fosc/64
MASTER_TMR2        // Master clock source TMR2
SLAVE_SS_ENABLE     // Master Slave select enabled
SLAVE_SS_DIS        // Master Slave select disabled
```

- Parametar `data_sample` određuje trenutak u kome se očitava logičko stanje na prijemnoj liniji

```
DATA_SAMPLE_MIDDLE // Input data sampled in middle
DATA_SAMPLE_END    // Input data sampled at the end
```

SPI master mod konfiguracija u mikro C - SPI biblioteka

- Parametar `clock_idle` određuje logički nivo neaktivnog stanja takta CLK pri kome nema razmjene podataka:

```
CLK_IDLE_HIGH      // Clock idle HIGH  
CLK_IDLE_LOW       // Clock idle LOW
```

- Parametar `transmit_edge` određuje ivicu takta (silaznu/uzlaznu) pri kojoj dolazi do prijema/predaje podataka

```
LOW_2_HIGH         // Data transmit on low to high edge  
HIGH_2_LOW         // Data transmit on high to low edge
```

SPI master mod konfiguracija primjer: TC 72 temp. senzor

- Inicijalizacija SPI komunikacije u mikroC uz pomoć `SPIx_Init_Advanced` prototip funkcije

```
• void InicijalizacijaSPI()
{
    TRISC_bit = 3; // Set RC3/SCK/SCL kao izlazni
    TRISC_bit = 5; // Set RC5/SDO kao izlazni
    SPI1_Init_Advanced (MASTER_OSC_DIV16,
        DATA_SAMPLE_MIDDLE, CLK_IDLE_LOW,
        HIGH_2_LOW)
}
```

SINHRONA SERIJSKA KOMUNIKACIJA u **SPI** modu

- Prilikom inicijalizacije upisom u kontrolne registre SSPCON i SSPSTAT treba definisati:
- Master mod (pin SCK je izvor takta) - SSPM3-SSPM0 bitovi
- Slave mod (pin SCK je ulaz takta) - SSPM3-SSPM0 bitovi
- Trenutak očitavanja stanja na prijemnoj liniji –SMP bit
- Ivicu signala takta koja će biti aktivna – CKE bit
- Brzinu prenosa podataka (samo za modul u Master modu)
- Rad sa više Slave modula (samo za modul u Slave modu)
- Setovanjem SSPEN bita omogućen je rad modula

SINHRONA SERIJSKA KOMUNIKACIJA u **SPI** modu

KORAK 1

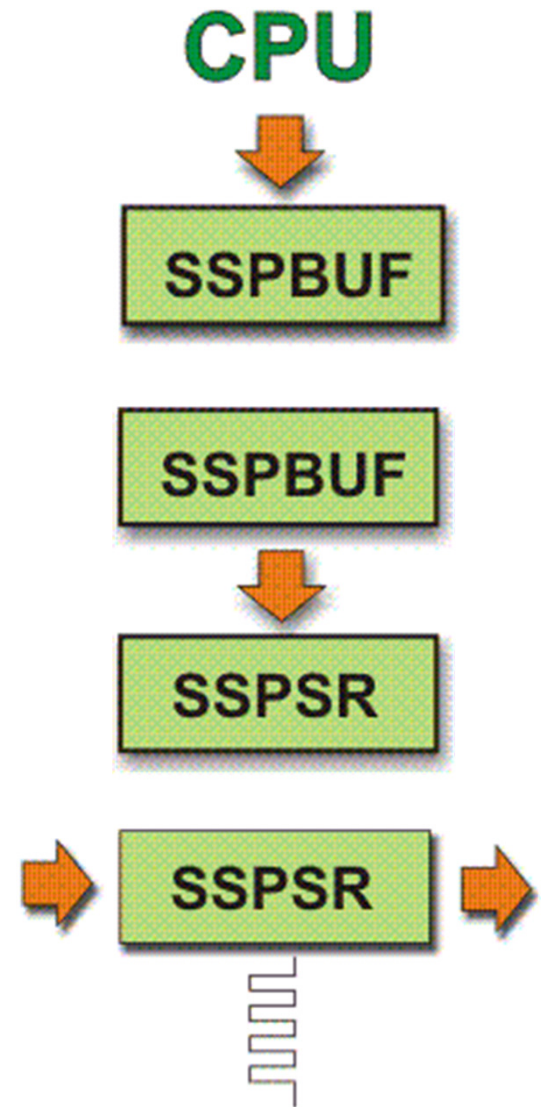
- U registar SSPBUF upisuje se podatak koji treba poslati. Ako modul radi u master modu mikrokontroler odmah obavlja sekvence opisane u koracima 2, 3 i 4. Ako SPI modul radi u Slave modu ovi koraci se izvode tek nakon pojave takt impulsa na SCK pinu

KORAK 2

- Podatak se kopira u SSPSR i sadržaj registra SSPBUF se automatski briše

KORAK 3

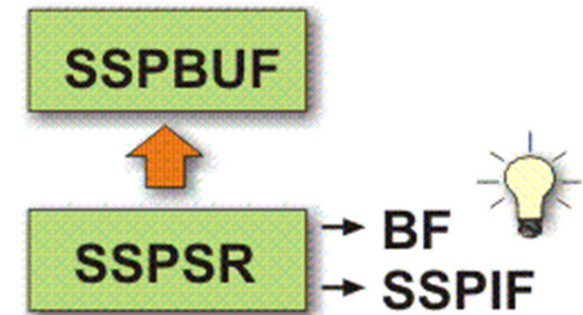
- Brzinom usvojenog taktnog signala podatak se šalje na izlazni pin SDO počevši od MSB bita. U Master modu taktni signal generiše mikrokontroler, a u Slave modu se koristi vanjski taktni signal sa SCK pina



SINHRONA SERIJSKA KOMUNIKACIJA u **SPI** modu

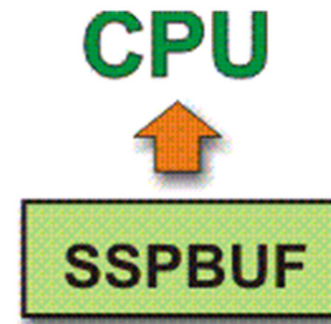
KORAK 4

- Nakon 8 taktnih impulsa registar SSPSR je popunjen pri čemu dolazi do setovanja bitova BF i SSPIF. Primljeni podatak se automatski kopira iz registra SSPSR u SSPBUF. Uloga SSPIF bita generisanje interapta kada se završi prenos jednog bajta



KORAK 5

- Primljeni podatak u SSPBUF registru je spreman za dalje korištenje



SINHRONA SERIJSKA KOMUNIKACIJA u I2C modu

- U SPI modu 8-bitni podaci se šalju i primaju preko tri U/I linije:
- SDO – serial data out – linija za slanje podataka
- SDI – serial data In – linija za prijem podataka
- SCK – serial Clock – linija za sinhronizacioni takt
- Dodatna linija SS – Slave Select koristi se kada mikrokontroler (Master) razmijenjuje podatke sa više perifernih uređaja (slave)